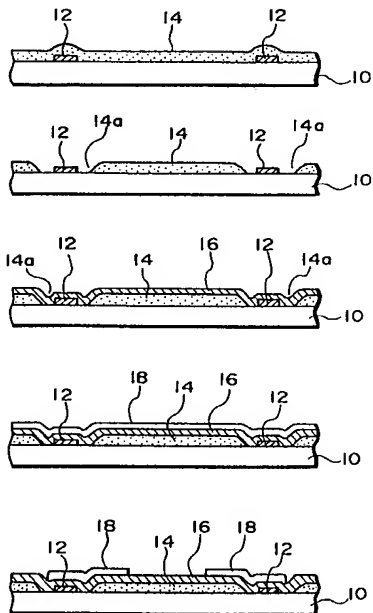


(51) 国際特許分類 H01L 21/3205, 21/60	A1	(11) 国際公開番号 WO98/25297 (43) 国際公開日 1998年6月11日 (11.06.98)
(21) 国際出願番号 PCT/JP97/04437 (22) 国際出願日 1997年12月4日 (04.12.97) (30) 優先権データ 特願平8/339045 1996年12月4日 (04.12.96) JP 特願平8/356880 1996年12月26日 (26.12.96) JP 特願平9/91449 1997年3月26日 (26.03.97) JP (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-08 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてののみ) 橋元伸晃 (HASHIMOTO, Nobuaki)[JP/JP] 〒392 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 弁理士 井上 一, 外 (INOUE, Hajime et al.) 〒167 東京都杉並区荻窪五丁目26番13号 荻窪TMビル2階 Tokyo, (JP)	(81) 指定国 AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, HU, ID, IL, IS, JP, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZW, ARIPO特許 (GH, KE, LS, MW, SD, SZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI特許 (BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG). 添付公開書類 国際調査報告書 補正書・説明書	
(54) Title: ELECTRONIC COMPONENT AND SEMICONDUCTOR DEVICE, METHOD FOR MANUFACTURING AND MOUNTING THEREOF, AND CIRCUIT BOARD AND ELECTRONIC EQUIPMENT		
(54) 発明の名称 電子部品及び半導体装置、その製造方法及び実装方法、回路基板並びに電子機器		
(57) Abstract A semiconductor device whose package size is nearly the same as the size of a chip, which has a stress absorbing layer, which does not require a flexible substrate, and which can be manufactured in a large number at the same time. A method for manufacturing a semiconductor device includes a process wherein electrodes (12) are formed on a wafer (10), a process wherein a resin layer (14) is formed as a stress reducing layer on the wafer (10) except for the parts where the electrodes (12) are formed, a process wherein a chrome layer (16) is formed as an interconnect on the whole surface of the wafer (10) including the electrodes (12) and the resin layer (14), a process wherein solder balls are formed as external electrodes on parts of the chrome layer (16) which are formed on the resin layer (14), and a process wherein the wafer (10) is diced to semiconductor chips. In the processes for forming the chrome layer (16) and for forming the solder balls, a metal thin film deposition technology used in the wafer process of semiconductor manufacturing is employed.		
		

(57) 要約

パッケージサイズがチップサイズに近くて応力吸収層を有し、パターンニングされたフレキシブル基板を省略でき、かつ、複数の部品を同時に製造することができる半導体装置である。ウエーハ（10）に電極（12）を形成する工程と、電極（12）を避けてウエーハ（10）に応力緩和層としての樹脂層（14）を設ける工程と、電極（12）から樹脂層（14）の上にかけて配線としてのクローム層（16）を形成する工程と、樹脂層（14）の上方でクローム層（16）に外部電極としてのハンダボールを形成する工程と、ウエーハ（10）を個々の半導体チップに切断する工程と、を有し、クローム層（16）及びハンダボールの形成工程には、ウエーハプロセスにおける金属薄膜形成技術が適用される。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード（参考情報）

AL	アルバニア	FI	フィンランド	LT	リトアニア	SN	セネガル
AM	アルメニア	FR	フランス	LU	ルクセンブルグ	SZ	スワジランド
AT	オーストリア	GB	イギリス	LV	ラトヴィア	TD	チャド
AU	オーストラリア	GE	ジョージア	MC	モナコ	TG	トーゴ
AZ	アゼルバイジャン	GH	ガーナ	MD	モルドヴァ	TM	タジキスタン
BA	ボスニア・ヘルツェゴビナ	GN	ギニア	MG	マダガスカル	TT	トリニダード・トバゴ
BB	バルバドス	GW	ギニア・ビサウ	MK	マケドニア共和国	TR	トルコ
BE	ベルギー	GU	グアム	ML	マリ	UA	ウクライナ
BG	ブルガリア	HT	ハイチ	MN	モンゴル	UG	ウガンダ
BJ	ベナン	ID	インドネシア	MR	モーリタニア	US	米国
BR	ブラジル	IE	アイルランド	MW	マラウイ	UZ	ウズベキスタン
BY	ベラルーシ	IL	イスラエル	MX	メキシコ	VN	ベトナム
CA	カナダ	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CF	中央アフリカ共和国	IT	イタリア	NL	オランダ	ZW	ジンバブエ
CG	コンゴ共和国	JP	日本	NO	ノルウェー		
CH	スイス	KE	ケニア	NZ	ニュージーランド		
CI	コートジボワール	KR	韓国	PL	ポーランド		
CN	中国	KZ	カザフスタン	PT	ポルトガル		
CU	キューバ	LC	セントルシア	RO	ルーマニア		
CY	キプロス	LI	リヒテンシュタイン	RU	ロシア		
CZ	チェコ	LK	スリランカ	SE	スウェーデン		
DE	ドイツ	LS	レソト	SG	シンガポール		
DK	デンマーク			SI	スロベニア		
EE	エストニア			SK	スロバキア		
ES	スペイン			SL	シエラレオネ		

明細書

電子部品及び半導体装置、その製造方法及び実装方法、回路基板並びに電子機器

技術分野

本発明は、電子部品及び半導体装置、その製造方法及び実装方法、回路基板並びに電子機器に関し、特に小型の電子部品やパッケージサイズがチップサイズに近い半導体装置、その製造方法及び実装方法、回路基板並びに電子機器に関する。

背景技術

半導体装置の高密度実装を追求すると、ベアチップ実装が理想的である。しかしながら、ベアチップは、品質の保証及び取り扱いが難しい。そこで、チップサイズに近いパッケージのC S P (chip scale package) が開発されている。

各種形態にて開発されているC S P型の半導体装置の中で、1つの形態として、半導体チップの能動面側にパターンニングされたフレキシブル基板が設けられており、このフレキシブル基板に複数の外部電極が形成されているものがある。また、半導体チップの能動面とフレキシブル基板との間に樹脂を注入して、熱ストレスの吸収を図ることも知られている。なお、特開平7-297236号公報には、フレキシブル基板としてフィルムキャリアテープを用いることが記載されている。

これらの半導体装置の製造方法では、ウェーハから半導体チップを切断して、個々の半導体チップをフレキシブル基板に実装していた。したがって、パターンニングされたフレキシブル基板が必要である上に、半導体チップを個別にフレキシブル基板に実装する工程が必要であったため、例えば各工程にて用いる装置も専用装置を用いなければならず、コストが高くなっていた。

また、C S P型のパッケージを適用した半導体装置は、面実装型のものであり、回路基板に実装するための複数のバンプを有する。また、このバンプが形成される面には、感光性樹脂などを設けられて保護することが好ましい。

しかしながら、感光性樹脂は電氣的に絶縁性を有し、バンプの上に付着したま

までは実装できないので、バンプの上から感光性樹脂を除去する必要がある。ここで、感光性樹脂の一部を除去するためには、リソグラフィの適用が必要となり、工程が増えるという問題があった。

このように、従来の半導体装置は、製造から実装までの工程で効率に劣る点があった。

本発明は、上述したような課題を解決するものであり、その目的は、製造から実装までの工程を効率的に行うことができる電子部品及び半導体装置、その製造方法及び実装方法、回路基板並びに電子機器を提供することにある。

発明の開示

本発明に係る半導体装置の製造方法は、電極の形成されたウエーハを用意する工程と、

前記電極の少なくとも一部を避けた状態となるように前記ウエーハに応力緩和層を設ける工程と、

前記電極から前記応力緩和層の上にかけて配線を形成する工程と、

前記応力緩和層の上方で前記配線に接続される外部電極を形成する工程と、

前記ウエーハを個々の個片に切断する工程と、

を有する。

本発明によれば、ウエーハ上に応力緩和層を形成し、更にその上に配線並びに外部電極を積層形成することで、ウエーハの状態にて半導体パッケージ形態まで製造することができるので、外部電極を予め設けてパターニングされたフィルムなどの基板が不要になる。

ここで、応力緩和層は、マザーボード（実装基板）と半導体チップとの間の歪みにより生じるストレスを緩和する層を指す。例えばこのストレスは、半導体装置が実装基板に実装される時及びその後にかかる熱により発生する。応力緩和層には、可撓性を有する材料やゲル状の材料が選定される。

また、電極と外部電極とを接続する配線は、設計に応じて自由に形成できるので、電極の配置にかかわらずに外部電極の配置を決めることができる。したがっ

て、ウエーハに形成する素子の回路設計を変更しなくとも、外部電極の位置の異なる種々の半導体装置を簡単に製造することができる。

さらに、本発明によれば、ウエーハに応力緩和層、配線及び外部電極を形成してから、ウエーハが切断されて個々の半導体装置が得られる。したがって、たくさんの半導体装置に対する応力緩和層、配線及び外部電極の形成を同時に行えるので、量産性を考慮すると好ましい。

前記応力緩和層として、例えば、ヤング率が 1×10^{10} Pa 以下の樹脂が用いられる。

前記応力緩和層を設ける工程では、前記電極を含むように前記ウエーハに感光性樹脂を塗布し、前記感光性樹脂の前記電極に対応する領域を除去することにより前記応力緩和層を設けてもよい。

前記応力緩和層は、該応力緩和層を構成する樹脂を印刷することで設けられてもよい。

前記感光性樹脂はポリイミド系、シリコン系、エポキシ系のうちのいずれかを用いることを特徴としてもよい。

前記応力緩和層は、前記電極に対応する穴が形成されたプレートを、前記ウエーハに接着して設けられ、

前記プレートは、前記半導体チップと該半導体チップが実装される基板との間の熱膨張係数を有してもよい。

これによれば、プレートの熱膨張係数が、半導体チップの熱膨張係数と基板の熱膨張係数と間の値になっているので、熱膨張係数の差によって応力を緩和することができる。また、ここで用いられるプレートは、単に穴が形成されているだけなので、パターニングされた基板よりも形成が容易である。

前記応力緩和層は、プレート状の樹脂からなり、前記プレート状の樹脂を前記ウエーハに接着して設けられてもよい。

これによれば、パターニングされた基板と異なり、容易に所定の形状に形成することができる。

前記ウエーハを用意する工程にて用いられるウエーハには、前記電極及び前記

切断する工程にて切断される領域を除く領域に絶縁膜が形成されてもよい。

前記配線を形成する工程の前に、前記応力緩和層の表面を荒らす工程を有してもよい。

前記外部電極を形成する工程の後で、且つ前記切断する工程の前において、

前記外部電極の形成面に前記外部電極が含まれるまで感光性樹脂を塗布し成膜する工程と、

前記感光性樹脂に対して前記外部電極が露出するまで等方性のエッチングを行う工程と、を有してもよい。

前記外部電極を形成する工程の後で、且つ前記切断する工程の前において、

前記外部電極の形成面に前記外部電極が含まれるまで有機膜を塗布し成膜する工程を有してもよい。

前記有機膜には、加熱されると化学反応により残渣が熱可塑性高分子樹脂に変化するフラックスが用いられてもよい。

前記配線は、前記応力緩和層上において屈曲してもよい。

前記配線と前記電極との接続部において、前記配線の幅は前記電極の幅よりも大きくてもよい。

本発明では、前記応力緩和層を形成し、かつ、前記応力緩和層の上に前記配線を形成してから、前記配線の上に無電解メッキでハンダ部を形成し、前記ハンダ部を前記外部電極に成形加工してもよい。

本発明では、前記応力緩和層を形成して、該応力緩和層の上に導電層を形成する工程と、

前記導電層の上に電気メッキでハンダ部を形成する工程と、

前記導電層を前記配線に加工する工程と、

前記ハンダ部を前記外部電極に成形加工する工程と、

を含んでもよい。

本発明では、前記外部電極を避ける領域において、前記配線の上に保護膜を形成する工程を含んでもよい。

前記ハンダ部は、前記配線先に形成された台座の上に形成されてもよい。

前記ハンダ部は、メッキ処理によるハンダ膜の上に形成されてもよい。

本発明では、前記配線を形成する工程の後において、前記配線の上に保護膜を形成する工程と、

前記外部電極を形成する工程の前において、前記保護膜の前記外部電極に対応する少なくとも一部の領域に開口部を形成する工程と、を更に有し、

前記外部電極を形成する工程では、前記開口部にハンダクリームを印刷し且つウェットバックさせることにより前記外部電極を形成してもよい。

本発明では、前記配線を形成する工程の後において、前記配線の上に保護膜を形成する工程と、

前記外部電極を形成する工程の前において、前記保護膜の前記外部電極に対応する少なくとも一部の領域に開口部を形成する工程と、を更に有し、

前記外部電極を形成する工程では、前記開口部内にフラックスを塗布した後に前記各々の開口部に個片のハンダを搭載させることにより前記外部電極を形成してもよい。

前記保護膜は感光性樹脂からなり、前記開口部は、露光及び現像処理の工程を含んで形成されてもよい。

本発明では、前記ウエーハを個々の個片に切断する前に、前記ウエーハの前記電極を有する面とは反対側面に保護部材を配設する工程を含んでもよい。

こうすることで、半導体装置の裏面側が保護膜で覆われるので、傷が付くことを防止することができる。

本発明に係る半導体装置の製造方法は、ウエーハの一方の面に複数のバンプを形成する工程と、

前記面において、前記バンプが含まれるまで樹脂を塗布する工程と、

前記樹脂の表面に対して等方性のドライエッチングを行う工程と、

前記ウエーハを個々の個片に切断する工程と、

を含み、

前記ドライエッチングの工程は、前記バンプが露出し前記面が露出する前に終了する。

本発明によれば、ウエーハの一方の面に樹脂が塗布される。この樹脂は、バンプの上から塗布されるが、面からバンプが突出しているため、バンプの上は他の部分よりも樹脂が薄く塗布されている。

そこで、樹脂の表面に対して等方性のドライエッチングを行うと、全ての領域において樹脂は均等に削られるので、厚みの薄いバンプが、まず露出する。このときには、まだウエーハの面は露出していないので、ここでドライエッチングを終了する。こうして、バンプが露出し、バンプ以外の領域を樹脂が覆って保護するウエーハを得ることができる。

そして、その後、ウエーハを個々の個片に切断して半導体装置を得ることができる。

本発明に係る電子部品の製造方法は、基板状に複数の電子素子を一体的に形成する工程と、

前記基板状の電子素子の少なくとも外部電極の形成される領域に応力緩和層を設ける工程と、

前記応力緩和層の上に前記外部電極を形成する工程と、

前記基板状の電子素子を個々の個片に切断する工程と、

を有する。

本発明によれば、応力吸収層を有するので、電子部品と実装基板との熱膨張差による応力を吸収することができる。電子部品として、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリューム、ヒューズ又は半導体装置などが挙げられる。

本発明に係る電子部品の製造方法は、電子素子の回路基板への実装面に複数のバンプを形成する工程と、

前記実装面において、前記バンプが含まれるまで樹脂を塗布する工程と、

前記樹脂の表面に対して等方性のドライエッチングを行う工程と、

を含み、

前記ドライエッチングの工程は、前記バンプが露出し前記実装面が露出する前に終了する。

本発明によれば、電子素子の実装面に樹脂が塗布される。この樹脂は、バンプの上から塗布されるが、実装面からバンプが突出しているため、バンプの上は他の部分よりも樹脂が薄く塗布されている。

そこで、樹脂の表面に対して等方性のドライエッチングを行うと、全ての領域において樹脂は均等に削られるので、厚みの薄いバンプが、まず露出する。このときには、まだ実装面は露出していないので、ここでドライエッチングを終了する。こうして、バンプが露出し、バンプを避けて実装面上を樹脂が覆って保護する電子部品を得ることができる。

本発明では、電子素子として半導体素子を使用してもよい。

本発明に係る電子部品の製造方法は、電子素子板の一方の面に複数のバンプを形成する工程と、

前記面において、前記バンプが含まれるまで樹脂を塗布する工程と、

前記樹脂の表面に対して等方性のドライエッチングを行う工程と、

前記電子素子板を個々の個片に切断する工程と、

を含み、

前記ドライエッチングの工程は、前記バンプが露出し前記実装面が露出する前に終了する。

本発明によれば、電子素子板の一方の面に樹脂が塗布される。この樹脂は、バンプの上から塗布されるが、面からバンプが突出しているため、バンプの上は他の部分よりも樹脂が薄く塗布されている。

そこで、樹脂の表面に対して等方性のドライエッチングを行うと、全ての領域において樹脂は均等に削られるので、厚みの薄いバンプが、まず露出する。このときには、まだ電子素子板の面は露出していないので、ここでドライエッチングを終了する。こうして、バンプが露出し、バンプ以外の領域を樹脂が覆って保護する電子素子板を得ることができる。

そして、その後、電子素子板を個々の個片に切断して半導体装置を得ることができる。

本発明に係る電子部品は、前記応力緩和層の上に前記外部電極を有する。例え

ば、電子部品として半導体装置が挙げられる。

本発明に係る電子部品は、上記方法により製造され、実装面に形成される複数のバンプと、前記バンプの少なくとも上端部を避けて前記実装面を覆う樹脂と、を有する。

本発明に係る半導体装置は、電極を有する半導体チップと、

前記半導体チップの上において前記電極の少なくとも一部を避けるように設けられる応力緩和層と、

前記電極から前記応力緩和層の上にかけて形成される配線と、

前記応力緩和層の上方で前記配線に形成される外部電極と、

を有する。

前記配線は、アルミニウム、アルミニウム合金、クローム、銅又は金の一層、銅及び金の二層、クローム及び銅の二層、クローム及び金の二層、白金及び金の二層、並びにクローム、銅及び金の三層のうちいずれかで形成されてもよい。

前記配線は、前記応力緩和層の上に形成されるクローム層と、銅及び金のうち少なくともいずれか一方の層と、で形成されてもよい。

前記配線は、チタン層を含んでもよい。

チタンは、耐湿性に優れているので、腐食による断線を防止することができる。また、チタンは、ポリイミド系樹脂との密着性にも優れており、応力緩和層をポリイミド系樹脂で形成したときの信頼性に優れている。

前記配線は、前記チタン層の上に形成されるニッケルの一層又は白金及び金の二層のうちいずれか一方を含んでもよい。

前記半導体装置において、前記半導体チップの前記電極を有する面とは反対側に、保護膜を有してもよい。

前記保護膜は、前記ウエーハに用いられる材料とは異なる材料で、且つハンダの溶融温度以上の融点を有する材料から構成されてもよい。

半導体装置において、前記半導体チップの前記電極を有する面とは反対側面に、放熱器を有してもよい。

本発明に係る半導体装置は、上記方法により製造され、実装面に形成される複

数のバンプと、前記バンプの少なくとも上端部を避けて前記実装面を覆う樹脂と、を有する。

本発明に係る電子部品の実装方法は、電子素子に形成された複数のバンプを有する実装面において、前記バンプが含まれるまでフラックスを塗布する工程と、

回路基板の配線上に、前記フラックスを介して前記バンプを載置してから行われるリフロー工程と、

を含む。

本発明によれば、実装面にはフラックスが塗布されているので、リフロー工程を経て実装が完了しても、フラックスがそのまま実装面を覆って保護するようになる。しかも、フラックスは、バンプを避けるように塗る必要がなく、ただバンプも含めて実装面全体に塗るだけなので、簡単に塗布することができる。

本発明では、電子素子として半導体素子を用いても良い。

本発明に係る回路基板には、上記半導体装置が実装される。

本発明に係る回路基板には、実装面に形成される複数のバンプと、前記バンプの少なくとも上端部を避けて前記実装面を覆う樹脂と、を有する上記半導体装置が実装される。

本発明に係る電子機器は、この回路基板を有する。

本発明に係る電子機器は、実装面に形成される複数のバンプと、前記バンプの少なくとも上端部を避けて前記実装面を覆う樹脂と、を有する半導体装置が実装された回路基板を有する。

図面の簡単な説明

図1A～図1Eは、第1実施形態に係る半導体装置の製造方法を説明する図であり、図2A～図2Eは、第1実施形態に係る半導体装置の製造方法を説明する図であり、図3A～図3Dは、第1実施形態に係る半導体装置の製造方法を説明する図であり、図4A～図4Cは、第1実施形態に係る半導体装置の製造方法を説明する図であり、図5は、第1実施形態に係る半導体装置を示す平面図であり、図6A～図6Cは、第2実施形態に係る半導体装置の製造方法を説明する図であ

り、図 7 A～図 7 C は、第 2 実施形態に係る半導体装置の製造方法を説明する図であり、図 8 A～図 8 D は、第 3 実施形態に係る半導体装置の製造方法を説明する図であり、図 9 A～図 9 D は、第 3 実施形態に係る半導体装置の製造方法を説明する図であり、図 10 は、第 4 実施形態に係る半導体装置の製造方法を説明する図であり、図 11 A～図 11 C は、第 5 実施形態に係る半導体装置の製造方法を説明する図であり、図 12 A～図 12 C は、第 5 実施形態に係る半導体装置の製造方法を説明する図であり、図 13 A～図 13 D は、第 6 実施形態に係る半導体装置の製造方法を説明する図であり、図 14 A～図 14 E は、第 7 実施形態に係る半導体装置の製造方法を説明する図であり、図 15 A～図 15 E は、第 7 実施形態に係る半導体装置の製造方法を説明する図であり、図 16 A～図 16 D は、第 7 実施形態に係る半導体装置の製造方法を説明する図であり、図 17 A～図 17 C は、第 7 実施形態に係る半導体装置の製造方法を説明する図であり、図 18 は、第 7 実施形態に係る半導体装置を示す平面図であり、図 19 A 及び図 19 B は、第 8 実施形態に係る半導体装置の実装方法を説明する図であり、図 20 は、面実装用の電子部品に本発明を適用した例を示す図であり、図 21 は、面実装用の電子部品に本発明を適用した例を示す図であり、図 22 は、本発明を適用した半導体装置に保護層を形成した例を示す図であり、図 23 は、本発明を適用した半導体装置に放熱器を取り付けた例を示す図であり、図 24 は、本発明に係る方法を適用して製造された電子部品を実装した回路基板を示す図であり、図 25 は、本発明に係る方法を適用して製造された電子部品を実装した回路基板を備える電子機器を示す図である。

発明を実施するための最良の形態

以下、本発明の好適な実施の形態について図面を参照して説明する。

(第 1 実施形態)

図 5 は、本実施形態に係る半導体装置を示す平面図である。この半導体装置は、いわゆる CSP に分類されるもので、半導体チップ 1 の周辺部に形成された電極 12 から、能動面 1 a の中央方向に配線 3 が形成され、各配線 3 には外部電極 5

が設けられている。全ての外部電極 5 は、応力緩和層 7 の上に設けられているので、回路基板（図示せず）に実装されたときの応力の緩和を図ることができる。また、外部電極 5 を除く領域には、保護膜としてソルダレジスト層 8 が形成されている。

応力緩和層 7 は、少なくとも電極 1 2 にて囲まれた領域に形成される。なお、電極 1 2 とは、配線 3 と接続される部位を指し、この定義は以下の全ての実施形態でも同様である。また、外部電極 5 を形成する領域の確保を考慮した場合、図 5 には示していないが、電極 1 2 よりも外周の位置に応力緩和層 7 を存在させて、その上に配線 3 を引き回して同じように外部電極 5 を設けるようにしてもよい。後述する図 1 A～図 4 C に示す製造プロセスは、図 5 に示す電極 1 2 の周囲にも応力緩和層 7 が存在する例を想定して描かれている。

電極 1 2 は、半導体チップ 1 の周辺部に位置する、いわゆる周辺電極型の例であるが、半導体チップの周辺領域よりも内側領域に電極が形成されたエリアアレイ配置型の半導体チップを用いても良い。この場合、応力緩和層は、電極の少なくとも一部を避けるように形成されればよい。

なお、同図が示すように外部電極 5 は半導体チップ 1 の電極 1 2 上ではなく半導体チップ 1 の能動領域（能動素子が形成されている領域）に設けられている。応力緩和層 7 を能動領域に設け、更に配線 3 を能動領域内に配設する（引き込む）ことで、外部電極 5 を能動領域内に設けることができる。従って外部電極 5 を配置する際に能動領域内、すなわち一定の面としての領域が提供できることになり、外部電極 5 の設定位置の自由度が非常に増すことになる。

そして、配線 3 を応力緩和層 7 の上で屈曲させることにより、外部電極 5 は格子状に並ぶように設けられている。なお、これは、本発明の必須の構成ではないので、外部電極 5 は必ずしも格子状に並ぶように設けなくても良い。また電極 1 2 と配線 3 との接合部において、図示されている電極 1 2 の幅と配線 3 の幅は、

配線 3 < 電極 1 2

となっているが、

電極 1 2 \leq 配線 3

とすることが好ましい。特に、

電極 1 2 < 配線 3

となる場合には、配線 3 の抵抗値が小さくなるばかりか、強度が増すので断線が防止される。

図 1 A ～ 図 4 C は、第 1 実施形態に係る半導体装置の製造方法を説明する図である。これらの図は、図 5 の I - I 線断面に対応するが、図 5 の外周にさらに応力緩和層が存在する状態として示されている。図 1 A ～ 図 4 C は、ウエーハにおける一部拡大図であり、特に半導体装置としたときの 1 つ分に該当する箇所を取りあげたものである。

まず、周知の技術によって、通常、ダイシングを行う前の状態までウエーハ 10 に電極 1 2 その他の素子を形成しておく。なお本例では、電極 1 2 はアルミニウムで形成される。電極 1 2 に他の例としてアルミニウム合金系の材料（例えばアルミニウムシリコンやアルミニウムシリコン銅など）もしくは銅系の材料を用いても良い。

また、ウエーハ 10 の表面には、化学的変化を防止するために酸化膜などからなるパッシベーション膜（図示せず）が形成されている。パッシベーション膜は、電極 1 2 を避けるのみならず、ダイシングが行われるスクライブラインも避けて形成される。スクライブラインにパッシベーション膜を形成しないことで、ダイシング時に、パッシベーション膜により発生するゴミの発生を避けることができ、さらに、パッシベーション膜のクラックの発生も防止することができる。

図 1 A に示すように、電極 1 2 を有するウエーハ 10 に、感光性のポリイミド樹脂を塗布して（例えば「スピンコーティング法」にて）樹脂層 1 4 を形成する。樹脂層 1 4 は、1 ～ 100 μm の範囲、更に好ましくは 10 μm 程度の厚みで形成されることが好ましい。なお、スピンコーティング法では、無駄になるポリイミド樹脂が多いので、ポンプによって帯状にポリイミド樹脂を吐出する装置を使用してもよい。このような装置として、例えば F A S 社製の F A S 超精密吐出型コーティングシステム（米国特許第 4 6 9 6 8 8 5 号参照）などがある。なお、ここでいう樹脂層 1 4 が、応力緩和層 7（図 5 参照）としての機能を有する。

図 1 B に示すように、樹脂層 1 4 に、電極 1 2 に対するコンタクトホール 1 4 a を形成する。具体的には、露光、現像及び焼成処理によって、電極 1 2 の付近からポリイミド樹脂を除去することで、樹脂層 1 4 にコンタクトホール 1 4 a を形成する。なお同図においては、コンタクトホール 1 4 a を形成したときに樹脂層 1 4 が電極 1 2 と重なる領域を全く残していない。全く樹脂層 1 4 を電極 1 2 に残さないことで、次工程以降で設けられる配線等の金属との電氣的なコンタクトが良好な状態になるという利点があるものの、必ずしもこのような構造にしなければならないわけではない。すなわち、電極 1 2 の外周付近に樹脂層 1 4 が残っている構造であったとしても電極 1 2 の一部が露出するようにホールが形成されているのであれば充分目的が達成される。この場合には、配線層の屈曲数が減るので断線等による配線信頼性の低下を防止できる。ここで、コンタクトホール 1 4 a にはテーパが付けられている。ここで、テーパとは、電極 1 2 (コンタクト部) の近傍において、電極 1 2 に近づくに従って樹脂層 1 4 の厚みが減少する状態を指す。したがって、コンタクトホール 1 4 a を形成する端部において、樹脂層 1 4 は傾斜して形成されている。このような形状は、露光及び現像の条件を設定することで形成される。さらに、電極 1 2 上を O_2 又は CF_4 等でプラズマ処理すれば、たとえ電極 1 2 上に若干ポリイミド樹脂が残っていたとしてもそのポリイミド樹脂を完全に除去できる。こうして形成された樹脂層 1 4 は、完成品としての半導体装置において応力緩和層となる。

なお本例では樹脂に感光性ポリイミド樹脂を用いたが、感光性のない樹脂を用いても良い。例えばシリコーン変性ポリイミド樹脂、エポキシ樹脂やシリコーン変性エポキシ樹脂等、固化したときのヤング率が低く (1×10^{10} Pa 以下)、応力緩和の働きを果たせる材質を用いると良い。非感光性の樹脂を用いた場合には、その後にフォトレジストを用いてフォト工程を経て所定の形状を形成させる。

図 1 C に示すように、スパッタリングによってウエーハ 1 0 の全面にクローム (Cr) 層 1 6 を形成する。このクローム (Cr) 層 1 6 から、最終的に配線が形成される。クローム (Cr) 層 1 6 は、電極 1 2 上から樹脂層 1 4 上にかけて形成される。ここで、クローム (Cr) 層 1 6 の材質は、樹脂層 1 4 を構成する

ポリイミドとの密着性が良いことから選択された。あるいは、耐クラック性を考慮すれば、アルミニウムやアルミシリコン、アルミ銅等アルミニウム合金又は銅（Cu）又は金のような延展性（延びる性質）のある金属でもよい。または、耐湿性に優れたチタンを選択すれば、腐食による断線を防止することができる。チタンは、ポリイミドとの密着性の観点からも好ましく、チタングステンを用いても良い。

クローム（Cr）層16との密着性を考慮すると、ポリイミド等からなる樹脂層14の表面を荒らすことが好ましい。例えば、プラズマ（O₂、CF₄）にさらすドライ処理や、酸又はアルカリによるウェット処理を行うことで、樹脂層14の表面を荒らすことができる。

また、コンタクトホール14a内において樹脂層14の端部が傾斜しているので、この領域ではクローム（Cr）層16も同様に傾斜して形成される。クローム（Cr）層16は、完成品としての半導体装置においては配線3（図5参照）になるとともに、製造途中においてはその後層を形成する際のポリイミド樹脂に対する拡散防止層となる。なお拡散防止層としてはクローム（Cr）に限るものではなく、前述の配線材料全てのものが有効である。

図1Dに示すように、クローム（Cr）層16の上に、フォトリソを塗布してレジスト層18を形成する。

図1Eに示すように、露光、現像及び焼成処理によって、レジスト層18の一部を除去する。残されたレジスト層18は、電極12から樹脂層14の中央方向に向けて形成されている。詳しくは、残されたレジスト層18は、樹脂層14の上では、一つの電極12上のレジスト層18と他の電極12上のレジスト層18とが連続しないように（各々独立した状態に）なっている。

そして、図1Eに示すレジスト層18によって覆われた領域のみを残して（すなわちレジスト層18をマスクとして）、クローム（Cr）層16をエッチングし、レジスト層18を剥離する。以上、これらの前工程ではウエーハプロセスにおける金属薄膜形成技術を適用したものである。こうしてエッチングされたクローム（Cr）層16は、図2Aに示すようになる。

図 2 Aにおいて、クローム (Cr) 層 1 6 は、電極 1 2 から樹脂層 1 4 にかけて形成されている。詳しくは、クローム (Cr) 層 1 6 は、一つの電極 1 2 と他の電極 1 2 との間が連続しないようになっている。つまり、それぞれの電極 1 2 に対応する配線を構成できるように、クローム (Cr) 層 1 6 が形成される。なお、同じ信号が入出力されるのであれば、電極 1 2 を必ずしも各々独立にしなければならないわけではなく、同じ信号を伝える配線を電氣的に一体形成してもよい。

図 2 Bに示すように、少なくともクローム (Cr) 層 1 6 を含む最上層の上に銅 (Cu) 層 2 0 を、スパッタリングによって形成する。銅 (Cu) 層 2 0 は、外部電極を形成するための下地層となる。あるいは、銅 (Cu) 層 2 0 の代わりに、ニッケル (Ni) 層を形成してもよい。

図 2 Cに示すように銅 (Cu) 層 2 0 の上にレジスト層 2 2 (フォトリソグレイ) を形成し、図 2 Dに示すようにレジスト層 2 2 の一部を、露光、現像及び焼成処理して、取り除く。そうすると、取り除く領域は、樹脂層 1 4 の上方であって、かつ、クローム (Cr) 層 1 6 の上方に位置するレジスト層 2 2 の少なくとも一部が除去される。

図 2 Eに示すように、レジスト層 2 2 が部分的に除去された領域に、台座 2 4 を形成する。台座 2 4 は、銅 (Cu) メッキにより形成され、ハンダボールを上形成するようになっている。したがって、台座 2 4 は、銅 (Cu) 層 2 0 の上に形成され、この銅 (Cu) 層 2 0 及びクローム (Cr) 層 1 6 を介して電極 1 2 と導通する。

図 3 Aに示すように、台座 2 4 の上に、外部電極 5 (図 5 参照) としてのハンダボールになるハンダ 2 6 を厚層状に形成する。ここで厚みは、その後のハンダボール形成時に要求されるボール径に対応したハンダ量で決まる。ハンダ 2 6 の層は、電解メッキや印刷等により形成される。

図 3 Bに示すように、図 3 Aに示すレジスト層 2 2 を剥離し、銅 (Cu) 層 2 0 をエッチングする。そうすると、台座 2 4 がマスクとなって、この台座 2 4 の下のみに銅 (Cu) 層 2 0 が残る (図 3 C 参照)。そして、台座 2 4 の上のハン

ダ 2 6 を、ウェットバックによって半球以上のボール状にして、ハンダボールとする（図 3 D 参照）。ここで、ウェットバックとは、ハンダ材を外部電極形成位置に形成した後にリフローさせて略半球状のバンプを形成することをいう。

以上の工程によって外部電極 5（図 5 参照）としてのハンダボールが形成される。続いて、クローム（Cr）層 1 6 等の酸化を防止するためや、完成した半導体装置における耐湿性の向上や、表面の機械的保護等の目的を達成するための処理を、図 4 A 及び図 4 B に示すようにして行う。

図 4 A に示すように、ウエーハ 1 0 の全面に、感光性のソルダレジスト層 2 8 を塗布により形成する。そして、露光、現像及び焼成処理を行って、ソルダレジスト層 2 8 のうち、ハンダ 2 6 を覆っている部分及びその付近の領域を除去する。こうして、残されたソルダレジスト層 2 8 は、酸化防止膜として、また最終的に半導体装置となったときの保護膜としてや、更には防湿性の向上を目的とした保護膜となる。そして、電気的特性の検査を行い、必要であれば製品番号や製造者名などを印刷する。

続いて、ダイシングを行って、図 4 C に示すように個々の半導体装置に切断する。ここで、ダイシングを行う位置（スクライブライン）は、図 4 B と図 4 C を比較して明らかなように、樹脂層 1 4 を避ける位置である。したがって、パッシベーション膜等の存在しないウエーハ 1 0 に対してのみダイシングが行われ、性質の異なる材料からなる複数層を切断するときの問題を避けることができる。ダイシング工程は従来通りの方法によって行われる。なお、図 4 A 及び図 4 B は、電極よりも外側に位置する樹脂層 1 4 の途中までを示しているが、図 4 C は、電極よりも外側に位置する樹脂層 1 4 を超えたスクライブラインまでを示している。

こうして形成された半導体装置によれば、樹脂層 1 4 が応力緩和層 7（図 5 参照）となるので、回路基板（図示せず）と半導体チップ 1（図 5 参照）との間の熱膨張係数の差による応力が緩和される。

以上説明した半導体装置の製造方法によれば、ウエーハプロセスにおいてほぼ全ての工程が完結する。言い換えると、実装基板と接続する外部端子を形成する工程がウエーハプロセス内で行えることになり、従来のパッケージング工程、す

なわち個々の半導体チップを扱って、個々の半導体チップに対してそれぞれインナーリードボンディング工程や外部端子形成工程等を行わなくとも良い。また、応力緩和層を形成するときに、パターニングされたフィルムなどの基板が不要になる。これらの理由から、低コストかつ高品質の半導体装置を得ることができる。

また本例において配線層を二層以上に設けても良い。層を重ねれば一般的に層厚が増し、配線抵抗を下げることができる。特に配線のうちの一層をクローム（Cr）とした場合には、銅（Cu）や金はクローム（Cr）よりも電氣的抵抗が低いため、組み合わせることで配線抵抗を下げるることができる。あるいは、応力緩和層上にチタン層を形成し、このチタン層の上にニッケル層、又は白金及び金からなる層を形成してもよい。または、白金及び金の二層を配線としてもよい。

（第2実施形態）

図6A～図7Cは、第2実施形態に係る半導体装置の製造方法を説明する図である。本実施形態は、第1実施形態と比べて、図3A以降の工程において異なり、図2Eまでの工程は第1実施形態と同様である。したがって、図6Aに示すウエーハ110、電極112、樹脂層114、クローム（Cr）層116、銅（Cu）層120、レジスト層122及び台座124は、図2Eに示すウエーハ110、電極12、樹脂層14、クローム（Cr）層16、銅（Cu）層20、レジスト層22及び台座124と同様であり、製造方法も図1A～図2Eに示すものと同様のため、説明を省略する。

本実施形態では、図6Aに示すように、台座124の上に薄ハンダ126をメッキし、レジスト層122を剥離して、図6Bに示すようにする。さらに、薄ハンダ126をレジストとして、図6Cに示すように銅（Cu）層120をエッチングする。

続いて、図7Aに示すようにウエーハ110の全面に感光性ソルダレジスト層128を形成し、図7Bに示すように、台座124の領域のソルダレジスト層128を、露光、現像及び焼成処理により除去する。

そして、図7Cに示すように、薄ハンダ126が残った台座124の上に、薄ハンダ126よりも厚い厚ハンダ129をメッキする。これは無電解メッキによ

り行われる。厚ハンダ 1 2 9 は、その後、ウェットバックによって図 3 に示す状態と同様に半球以上のボール状にされる。こうして、厚ハンダ 1 2 9 は、外部電極 5（図 5 参照）としてのハンダボールとなる。その後の工程は、上述した第 1 実施形態と同様である。なお、薄ハンダ 1 2 6、厚ハンダ 1 2 9 の順にメッキを行い、その後、感光性のソルダレジスト層（図 7 A の工程）を行っても良い。

本実施形態によっても、ウエーハプロセスにおいてほぼ全ての工程を行うことができる。なお、本実施形態では、厚ハンダ 1 2 9 が無電解メッキによって形成される。したがって、台座 1 2 4 を省略して、銅（Cu）層 1 2 0 の上に厚ハンダ 1 2 9 を直接形成することもできる。

（第 3 実施形態）

図 8 A ～ 図 9 D は、第 3 実施形態に係る半導体装置の製造方法を説明する図である。

図 8 A に示すウエーハ 3 0、電極 3 2、樹脂層 3 4、クローム（Cr）層 3 6、銅（Cu）層 4 0 及びレジスト層 4 2 は、図 2 C に示すウエーハ 1 0、電極 1 2、樹脂層 1 4、クローム（Cr）層 1 6、銅（Cu）層 2 0 及びレジスト層 2 2 と同様であり、製造方法も図 1 A ～ 図 2 C に示すものと同様のため、説明を省略する。

そして、図 8 A に示すレジスト層 4 2 の一部を、露光、現像及び焼成処理によって除去する。詳しくは、図 8 B に示すように、配線となるクローム（Cr）層 3 6 の上方に位置するレジスト層 4 2 のみを残して、他の位置のレジスト層 4 2 を除去する。

続いて、銅（Cu）層 4 0 をエッチングしてレジスト層 4 2 を剥離して、図 8 C に示すように、クローム（Cr）層 3 6 の上にのみ銅（Cu）層 4 0 を残す。こうして、クローム（Cr）層 3 6 及び銅（Cu）層 4 0 の二層構造による配線が形成される。

次に、図 8 D に示すように、感光性のソルダレジストを塗布して、ソルダレジスト層 4 4 を形成する。

図 9 A に示すように、ソルダレジスト層 4 4 にコンタクトホール 4 4 a を形成

する。コンタクトホール 4 4 a は、樹脂層 3 4 の上方であって、かつ、二層構造の配線の表面層である銅（Cu）層 4 0 上に形成される。なお、コンタクトホール 4 4 a の形成は、露光、現像及び焼成処理によって行われる。あるいは、コンタクトホール 4 4 a が形成されるように、所定位置にホールを設けながらソルダレジストを印刷してもよい。

続いて、コンタクトホール 4 4 a に、盛り上がった形状をなすようにハンダクリーム 4 6 を印刷する（図 9 B 参照）。このハンダクリーム 4 6 は、ウェットバックによって、図 9 C に示すように、ハンダボールとなる。そして、ダイシングを行って、図 9 D に示す個々の半導体装置を得る。

本実施形態では、ハンダボールの台座が省略され、かつ、ハンダクリームの印刷が適用されることで、ハンダボール形成が容易化されるとともに、製造工程の削減にもつながる。

また、製造される半導体装置の配線がクローム（Cr）及び銅（Cu）の二層である。ここで、クローム（Cr）はポリイミド樹脂からなる樹脂層 3 4 との密着性がよく、銅（Cu）は耐クラック性が良い。耐クラック性が良いことで、配線の断線、又は電極 3 2 や能動素子の破損を防止することができる。あるいは、銅（Cu）及び金の二層、クローム及び金の二層、又はクローム、銅（Cu）及び金の三層で配線を構成してもよい。

本実施形態では台座無しの例をあげたが、台座を設けても良いことはいうまでもない。

（第 4 実施形態）

図 1 0 は、第 4 実施形態に係る半導体装置の製造方法を説明する図である。

同図に示すウエーハ 1 3 0、電極 1 3 2、樹脂層 1 3 4、クローム（Cr）層 1 3 6、銅（Cu）層 1 4 0 及びソルダレジスト層 1 4 4 は、図 9 A に示すウエーハ 3 0、電極 3 2、樹脂層 3 4、クローム（Cr）層 3 6、銅（Cu）層 4 0 及びソルダレジスト層 4 4 と同様であり、製造方法も図 8 A～図 9 A に示すものと同様のため、説明を省略する。

本実施形態では、図 9 B においてハンダクリーム 4 6 が用いられた代わりに、

ソルダレジスト層 144 に形成されたコンタクトホール 144a に、フラックス 146 を塗布してハンダボール 148 が搭載されている。その後、ウェットバック、検査、捺印及びダイシング工程が行われる。

本実施形態によれば、予め形成されたハンダボール 148 を搭載して、これを外部電極 5 (図 5 参照) とする。また、第 1 及び第 2 の実施形態と比較すると、台座 24、124 を省略することができる。さらに、配線 3 (図 5 参照) が、クローム (Cr) 層 136 及び銅 (Cu) 層 140 の二層構造となる。

本実施形態では台座無しの例をあげたが、台座を設けても良いことはいうまでもない。

(第 5 実施形態)

図 11A～図 12C は、第 5 実施形態に係る半導体装置の製造方法を説明する図である。

まず、図 11A に示すように、電極 52 を有するウエーハ 50 に、ガラス板 54 を接着する。ガラス板 54 には、ウエーハ 50 の電極 52 に対応する穴 54a が形成されており、接着剤 56 が塗られている。

このガラス板 54 の熱膨張係数は、半導体チップとなるウエーハ 54 の熱膨張係数と、半導体装置を実装する回路基板の熱膨張係数と、の間の値となっている。このことから、ウエーハ 54 をダイシングして得られる半導体チップ、ガラス板 54、半導体装置が実装される回路基板 (図示せず) の順で熱膨張係数の値が変わるので、接続部における熱膨張係数の差が小さくなり熱応力が小さくなる。すなわち、ガラス板 54 は応力緩和層となる。なお、同様の熱膨張係数を有するものであれば、ガラス板 54 の代わりに、セラミックス板を用いても良い。

そして、ガラス板 54 をウエーハ 50 に接着すると、穴 54 に入り込んだ接着剤 56 を O₂ プラズマ処理によって除去して、図 11B に示すようにする。

次に、図 11C に示すように、ウエーハ 50 の全面であってガラス板 54 上に、スパッタリングによってアルミニウム層 58 を形成する。その後に穴 54 の表面に膜を形成すれば比較的断線の発生しやすいアルミニウムの保護が図れる。次に、図 12A に示すようにレジスト層 59 を形成し、図 12B に示すように、露光、

現像及び焼成処理によってレジスト層 5 9 の一部を除去する。除去されるレジスト層 5 9 は、配線パターン形成部以外の位置が好ましい。

図 1 2 B において、レジスト層 5 9 は、電極 5 2 の上方からガラス板 5 4 の上方にわたって残されている。また、一つの電極 5 2 の上方と他の電極 5 2 の上方との間が連続しないように途切れている。

そして、アルミニウム層 5 8 をエッチングすると、図 1 2 C に示すように、配線となる領域にアルミニウム層 5 8 が残る。すなわち、アルミニウム層 5 8 は、電極 5 2 からガラス板 5 4 の上にかけて、配線として形成される。また、電極 5 2 同士が導通せずに、個々の電極 5 2 ごとの配線となるようにアルミニウム層 5 8 が形成されている。あるいは、複数の電極 5 2 を導通させる必要があれば、それに対応して配線となるアルミニウム層 5 8 を形成してもよい。なお、配線として、アルミニウム層 5 8 以外に、第 1 実施形態にて選択した全ての材料のうち、いずれかを適用することもできる。

以上の工程によって、電極 5 2 からの配線が形成されるので、配線としてのアルミニウム層 5 8 にハンダボールを形成し、ウエーハ 5 0 から個々の半導体装置に切断する。これらの工程は、上記第 1 実施形態と同様にして行うことができる。

本実施形態によれば、ガラス板 5 4 は穴 5 4 a を有するものの、穴 5 4 a の形成は容易である。したがって、ガラス板 5 4 に対しては、予めバンプや配線を形成しておくようなパターンニングが必要ではない。また、配線となるアルミニウム層 5 8 などの形成工程には、ウエーハプロセスにおける金属薄膜形成技術が適用され、ほぼ全ての工程がウエーハプロセスにて完結する。

なおガラス板 5 4 の上に別の応力吸収層、例えばポリイミド樹脂等を第 1 実施形態と同様にさらに設けても良い。この場合には、改めて応力吸収層を設けるため、ガラス板 5 4 の熱膨張係数はシリコンと同等でもよい。

(第 6 実施形態)

図 1 3 A ~ 図 1 3 D は、第 6 実施形態に係る半導体装置の製造方法を説明する図である。本例では応力緩和層として、あらかじめ板状に形成されたポリイミド板を選択した。特に、ポリイミドにはヤング率の低い組成のものが存在するので、

その組成のものを応力緩和層として選択した。なおそのほかにも例えばプラスチック板やガラスエポキシ系等の複合板を用いてもよい。この場合、実装基板と同一材料を用いると熱膨張係数に差がなくなり好ましい。特に今日では実装基板としてプラスチック基板が多いため、プラスチック板を応力緩和層に用いることは有効である。

まず、図 1 3 A に示すように、電極 6 2 を有するウエーハ 6 0 に、ポリイミド板 6 4 を接着して、図 1 3 B に示すようにする。なお、ポリイミド板 6 4 には、予め接着剤 6 6 が塗られている。なお、この接着剤 6 6 に応力緩和の機能を持たせる材料を選択するとなおのこと良い。応力緩和機能を有する接着剤として具体的には、熱可塑性のポリイミド樹脂やシリコン樹脂等がある。

次に、図 1 3 C に示すように、電極 6 2 に対応する領域にエキシマレーザなどを用いてコンタクトホール 6 4 a を形成し、図 1 3 D に示すように、アルミニウム層 6 8 をスパッタリングによって形成する。なお、アルミニウム層 6 8 以外に、第 1 実施形態にて選択した全ての材料のうち、いずれかを適用することもできる。

こうして、図 1 1 C と同様の状態になるので、その後、図 1 2 A 以降の工程を行うことで、半導体装置を製造することができる。

本実施形態によれば、穴すら形成されていないポリイミド板 6 4 を用いるので、パターンニングした基板が不要になる。その他の効果は、上記第 1 ～ 第 5 実施形態と同様である。

なおその他の形態として、応力緩和層に予めドリル等の機械加工を行って穴を設けておいて、その後にウエーハ上に貼り合わせる等の配設プロセスを行ってもよい。また機械加工以外にもケミカルエッチングやドライエッチングにより穴を設けることもできる。なおケミカルエッチングやドライエッチングを用いて穴を形成する場合にはウエーハ上でもその前の事前工程で行っても良い。

(第 7 実施形態)

図 1 4 A ～ 図 1 7 C は、第 7 実施形態に係る半導体装置の製造方法を説明する図であり、図 1 8 の I - I 線断面に対応する。なお、図 1 8 は、第 7 実施形態に係る半導体装置を示す図である。

本実施形態では、ソルダレジスト層 228 からバンプ 205 を露出させる工程（図 17 A 及び図 17 B 参照）が、第 1 実施形態よりも具体的に示されている。その他の内容と第 1 実施形態と同様である。

まず、周知の技術によって、ウエーハ 210 に電極 212 その他の素子を形成しておき、図 14 A に示すように、電極 212 を有するウエーハ 210 に、感光性のポリイミド樹脂を塗布して樹脂層 214 を形成する。ウエーハ 210 の表面には、電極 212 及びスクライブラインを避けてパッシベーション膜が形成されている。

図 14 B に示すように、樹脂層 214 に、電極 212 に対するコンタクトホール 214 a を形成する。

図 14 C に示すように、スパッタリングによってウエーハ 210 の全面にクローム（Cr）層 216 を形成する。

図 14 D に示すように、クローム（Cr）層 216 の上に、フォトリジストを塗布してレジスト層 218 を形成する。

図 14 E に示すように、露光、現像及び焼成処理によって、レジスト層 218 の一部を除去する。残されたレジスト層 218 は、電極 212 から樹脂層 214 の中央方向に向けて形成されている。

そして、図 14 E に示すレジスト層 218 によって覆われた領域のみを残して、クローム（Cr）層 216 をエッチングし、レジスト層 218 を剥離する。こうしてエッチングされたクローム（Cr）層 216 は、図 15 A に示すようになる。

図 15 A において、クローム（Cr）層 216 は、電極 212 から樹脂層 214 にかけて形成されている。

図 15 B に示すように、少なくともクローム（Cr）層 216 を含む最上層の上に銅（Cu）層 220 を、スパッタリングによって形成する。

図 15 C に示すように銅（Cu）層 220 の上にレジスト層 222 を形成し、図 15 D に示すようにレジスト層 222 の一部を、露光、現像及び焼成処理して、取り除く。そうすると、取り除く領域は、樹脂層 214 の上方であって、かつ、クローム（Cr）層 216 の上方に位置するレジスト層 222 の少なくとも一部

が除去される。

図 1 5 E に示すように、レジスト層 2 2 2 が部分的に除去された領域に、台座 2 2 4 を形成する。台座 2 2 4 は、銅 (Cu) メッキにより形成され、ハンダボールを上形成するようになっている。したがって、台座 2 2 4 は、銅 (Cu) 層 2 2 0 の上に形成され、この銅 (Cu) 層 2 2 0 及びクローム (Cr) 層 2 1 6 を介して電極 2 1 2 と導通する。

図 1 6 A に示すように、台座 2 2 4 の上に、バンプ 2 0 5 (図 1 8 参照) としてのハンダボールを形成するためのハンダ 2 2 6 を厚層状に形成する。その厚みは、その後のハンダボール形成時に要求されるボール径に対応したハンダ量で決まる。ハンダ 2 2 6 の層は、電解メッキや印刷により形成される。

図 1 6 B に示すように、図 1 6 A に示すレジスト層 2 2 2 を剥離し、銅 (Cu) 層 2 2 0 をエッチングする。そうすると、台座 2 2 4 がマスクとなって、この台座 2 2 4 の下のみに銅 (Cu) 層 2 2 0 が残る (図 1 6 C 参照)。そして、台座 2 2 4 の上のハンダ 2 2 6 を、ウェットバックによって半球以上のボール状にして、ハンダボールとする (図 1 6 D 参照)。

以上の工程によってバンプ 2 0 5 (図 1 8 参照) としてのハンダボールが形成される。続いて、クローム (Cr) 層 2 1 6 等の酸化を防止するためや、完成した半導体装置における耐湿性の向上や、表面の機械的保護等の目的を達成するための処理を、図 1 7 A 及び図 1 7 B に示すようにして行う。

図 1 7 A に示すように、ウエーハ 2 1 0 の全面に、樹脂を塗布 (スピンコート又はドリップ等) して、ソルダレジスト層 2 2 8 を形成する。

本実施形態では、ソルダレジスト層 2 2 8 は、バンプ 2 0 5 上にも形成される。すなわち、ウエーハ 2 1 0 上に一面にソルダレジスト層 2 2 8 を形成すればよく、バンプ 2 0 5 を避けて形成する必要がないので、簡単な塗布工程で足りる。

ここで、バンプ 2 0 5 も含めて一面に樹脂を塗布して、例えばその後に硬化させるなどで成膜すると、図 1 7 A に示すように、バンプ 2 0 5 に塗布された感光樹脂がウエーハ 2 1 0 の面上に流れるので、ソルダレジスト層 2 2 8 の厚みが異なるようになる。すなわち、バンプ 2 0 5 の表面に形成されるソルダレジスト層

228は薄く、それ以外のウエーハ面10上に形成されるソルダレジスト層228は厚くなる。

そこで、このようなソルダレジスト層228に対して、ドライエッチングを行う。特に、ドライエッチングとして一般的な等方性のエッチングを行う。そして、図17Bに示すように、バンプ205上の薄いソルダレジスト層228をエッチングして除去したときに、エッチング工程を終了する。このとき、ウエーハ210上の厚いソルダレジスト層228は残存している。こうすることで、バンプ205を避けて、ウエーハ210上にソルダレジスト層228を残すことができ、このソルダレジスト層228が保護層となる。つまり、残されたソルダレジスト層228は、酸化防止膜として、また最終的に半導体装置となったときの保護膜としてや、更には防湿性の向上を目的とした保護膜となる。そして、電気的特性の検査を行い、必要であれば製品番号や製造者名などを印刷する。

以上の工程によれば、ソルダレジスト層228のリソグラフィの工程が不要となり、工程の簡略化によるコストの削減が可能になる。

続いて、ダイシングを行って、図17Cに示すように、ウエーハ210を半導体チップ201に切断する。ここで、ダイシングを行う位置は、図17Bと図17Cを比較して明らかなように、樹脂層214を避ける位置である。したがって、ウエーハ210に対してのみダイシングが行われ、性質の異なる材料からなる複数層を切断するときの問題を避けることができる。ダイシング工程は従来通りの方法によって行われる。

こうして形成された半導体装置200によれば、樹脂層214が応力緩和層207（図18参照）となるので、回路基板（図示せず）と半導体チップ201（図18参照）との間の熱膨張係数の差による応力が緩和される。

図18は、本実施形態に係る半導体装置を示す平面図である。この半導体装置200は、いわゆるCSPに分類されるもので、半導体チップ201の電極212から、能動面201aの中央方向に配線3が形成され、各配線203にはバンプ205が設けられている。全てのバンプ205は、応力緩和層207の上に設けられているので、回路基板（図示せず）に実装されたときの応力の緩和を図る

ことができる。また、配線 2 0 3 の上には、保護膜としてソルダレジスト層 2 2 8 が形成されている。

なお、上記実施形態では、ウエーハプロセスでほぼ全ての工程を行って半導体装置を製造するので、保護層としてのソルダレジスト層 2 2 8 の形成もウエーハプロセスで行われたが、これに限定されるものではない。例えば、個々の半導体装置にバンプを含めて一面に樹脂を塗布して、等方性のドライエッチングを行って、バンプ上から樹脂を除去しても良い。

(第 8 実施形態)

図 1 9 A 及び図 1 9 B は、第 8 実施形態に係る半導体装置の実装方法を説明する図である。ここで、半導体装置 3 0 0 は、バンプ 2 3 0 の上からフラックス層 2 3 2 が形成されている点を除き、図 1 7 C に示す半導体装置 2 0 0 と同様の構成である。すなわち、半導体チップ 2 3 4 の電極 2 3 6 から配線 2 3 8 を引き込み、ピッチ変換をして、配線 2 3 8 にバンプ 2 3 0 が形成されている。また、配線 2 3 8 は、応力緩和層 2 4 0 の上に形成されているので、バンプ 2 3 0 に加えられる応力を緩和することができる。

ここで、フラックス層 2 3 2 は、半導体装置 3 0 0 のバンプ 2 3 0 を上に向けて、フラックスを一面に塗布することで形成される。この塗布は、スピンコートやドリップによって行われる。また、フラックスとして、加熱されると化学反応により残渣が熱可塑性高分子樹脂に変化するもの（例えば、株式会社日本スペリア社製の NS-501）を使用することが好ましい。これによれば、残渣は、化学的に安定しているためにイオン化することがなく、絶縁性に優れる。

このようなフラックス層 2 3 2 を有する半導体装置 3 0 0 を、図 1 9 A に示すように、回路基板 2 5 0 に実装する。

具体的には、図 1 9 B に示すように、フラックス層 2 3 2 を介して、回路基板 2 5 0 の配線 2 5 2、2 5 4 上にバンプ 2 3 0 を位置合わせして、半導体装置 3 0 0 を載置する。

そして、リフロー工程によって、バンプ 2 3 0 を形成するハンダを溶融させて、バンプ 2 3 0 と配線 2 5 2、2 5 4 とを接続する。フラックス層 2 3 2 は、この

ハンダ付けにおいて消費される。ただし、バンプ230の付近においてのみフラックス層232は消費され、それ以外の領域では、フラックス層232は残ったままとなる。この残ったフラックス層232は、リフロー工程で加熱されているので、上述したように、熱可塑性高分子樹脂となり絶縁性に優れた層となっている。したがって、このフラックス層232の残渣が、半導体装置300におけるバンプ230が形成された面の保護層となる。

このように、本実施形態によれば、フラックスを塗布する工程が、保護層を形成する工程をも兼ねるので、リソグラフィ等を適用した保護層の形成工程が不要になる。

本発明は、上記実施形態に限定されるものではなく、種々の変形が可能である。例えば、上記実施形態は、半導体装置に本発明を適用したが、能動部品か受動部品かを問わず、種々の面実装用の電子部品に本発明を適用することができる。電子部品として、例えば、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ポリウム又はヒューズなどがある。

(その他の実施形態)

本発明は、上記実施形態に限定されるものではなく、種々の変形が可能である。例えば、上記実施形態は、半導体装置に本発明を適用したが、能動部品か受動部品かを問わず、種々の面実装用の電子部品に本発明を適用することができる。

図20は、面実装用の電子部品に本発明を適用した例を示す図である。同図に示す電子部品400は、チップ部402の両側に電極404が設けられてなり、例えば、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ポリウム又はヒューズなどである。電極404には、上述した実施形態と同様に、応力緩和層406を介して配線408が形成されている。この配線408には、バンプ410が形成される。

また、図21も、面実装用の電子部品に本発明を適用した例を示す図であり、この電子部品420の電極424は、チップ部422の実装側の面に形成され、応力緩和層426を介して配線428が形成されている。この配線428には、バンプ430が形成される。

なお、これらの電子部品 4 0 0、4 2 0 の製造方法は、上記実施形態と同様であるため説明を省略する。また、応力緩和層 4 0 6、4 2 6 を形成したことによる効果も上述した実施形態と同様である。

次に、図 2 2 は、本発明を適用した半導体装置に保護層を形成した例を示す図である。同図に示す半導体装置 4 4 0 は、図 4 C に示す半導体装置に保護層 4 4 2 を形成したもので、保護層 4 4 2 以外は図 4 C に示す半導体装置と同様であるため、説明を省略する。

保護層 4 4 2 は、半導体装置 4 4 0 において、実装側とは反対面すなわち裏面に形成されている。こうすることで、裏面に傷が付くことを防止することができる。

更には裏面の傷を起点としたクラックによる半導体チップ自体の損傷を防止できる。

保護層 4 4 2 は、個片としての半導体装置 4 4 0 に切断される前に、ウエーハの裏面に形成されることが好ましい。こうすることで、複数の半導体装置 4 4 0 に対して同時に保護層 4 4 2 を形成することができる。詳しくは、金属薄膜形成工程が全て完了してから保護層 4 4 2 をウエーハに形成することが好ましい。こうすることで、金属薄膜形成工程を円滑に行うことができる。

保護層 4 4 2 は、半導体装置 4 4 0 のリフロー工程における高温に耐えられる材質であることが好ましい。詳しくは、ハンダの溶融温度まで耐えられることが好ましい。つまり、保護層 4 4 2 には、ハンダの溶融温度以上の溶融温度を有する材料を用いることが好ましい。また、保護層 4 4 2 として例えば樹脂を用いても良い。この場合、保護層 4 4 2 は、ポッティング樹脂に用いる樹脂を塗布することにより形成しても良い。あるいは、粘着性又は接着性を有するシートを貼り付けて保護層 4 4 2 を形成してもよい。このシートは、有機か無機かを問わない。

このようにすれば半導体装置の表面がシリコン以外の物質で覆われるので、例えばマーキング性も向上する。

次に、図 2 3 は、本発明を適用した半導体装置に放熱器を取り付けた例を示す図である。同図に示す半導体装置 4 5 0 は、図 4 C に示す半導体装置に放熱器 4

52を取り付けたもので、放熱器452以外は図4Cに示す半導体装置と同様であるため、説明を省略する。

放熱器452は、半導体装置450において、実装側とは反対面すなわち裏面に、熱伝導性接着剤454を介して取り付けられている。こうすることで、放熱性が向上する。放熱器452は、多数のフィン456を有し、銅や銅合金、窒化アルミニウムなどで形成されていることが多い。なお本例ではフィン付きを例にあげたが、フィンを有しない単なる板状の放熱器（放熱板）を取り付けても相応の放熱効果を得ることができる。この場合は単なる板状の取り付けになるため、ハンドリングが容易で、しかもコスト低減が可能となる。

上記実施形態では、外部端子として予め半導体装置側にハンダバンプや金バンプを設けたが、他の例としては半導体装置側にハンダバンプや金バンプを用いずに、例えば銅等の台座をそのまま外部端子として用いても良い。なお、この場合には半導体装置が実装される実装基板（マザーボード）の接合部（ランド）に、半導体装置実装時の前までに予めハンダを設けておく必要がある。

また、上記実施形態において用いられるポリイミド樹脂は、黒色であることが好ましい。黒色のポリイミド樹脂を応力緩和層として用いることで、半導体チップが光を受けたときの誤作動を避けられるとともに、耐光性を上げて半導体装置の信頼性を向上させることができる。

なお、図24には、上述した実施形態に係る方法によって製造された半導体装置などの電子部品1100を実装した回路基板1000が示されている。そして、この回路基板1000を備える電子機器として、図25には、ノート型パーソナルコンピュータ1200が示されている。

請求の範囲

1. 電極の形成されたウエーハを用意する工程と、
前記電極の少なくとも一部を避けた状態となるように前記ウエーハに応力緩和層を設ける工程と、
前記電極から前記応力緩和層の上にかけて配線を形成する工程と、
前記応力緩和層の上方で前記配線に接続される外部電極を形成する工程と、
前記ウエーハを個々の個片に切断する工程と、
を有する半導体装置の製造方法。
2. 請求項 1 記載の半導体装置の製造方法において、
前記応力緩和層として、ヤング率が 1×10^{10} Pa 以下の樹脂が用いられる半導体装置の製造方法。
3. 請求項 1 記載の半導体装置の製造方法において、
前記応力緩和層を設ける工程では、前記電極を含むように前記ウエーハに感光性樹脂を塗布し、前記感光性樹脂の前記電極に対応する領域を除去することにより前記応力緩和層を設ける半導体装置の製造方法。
4. 請求項 1 記載の半導体装置の製造方法において、
前記応力緩和層は、該応力緩和層を構成する樹脂を印刷することで設けられる半導体装置の製造方法。
5. 請求項 3 記載の半導体装置の製造方法において、
前記感光性樹脂はポリイミド系、シリコン系、エポキシ系のうちのいずれかを用いることを特徴とする半導体装置の製造方法。
6. 請求項 1 記載の半導体装置の製造方法において、
前記応力緩和層は、前記電極に対応する穴が形成されたプレートを、前記ウエーハに接着して設けられ、
前記プレートは、前記半導体チップと該半導体チップが実装される基板との間の熱膨張係数を有する半導体装置の製造方法。
7. 請求項 1 記載の半導体装置の製造方法において、

前記応力緩和層は、プレート状の樹脂からなり、前記プレート状の樹脂を前記ウエーハに接着して設けられることを特徴とする半導体装置の製造方法。

8. 請求項 1 記載の半導体装置の製造方法において、

前記ウエーハを用意する工程にて用いられるウエーハは、前記電極及び前記切断する工程にて切断される領域を除く領域に絶縁膜が形成されてなる半導体装置の製造方法。

9. 請求項 2 記載の半導体装置の製造方法において、

前記配線を形成する工程の前に、前記応力緩和層の表面を荒らす工程を有する半導体装置の製造方法。

10. 請求項 1 記載の半導体装置の製造方法において、

前記外部電極を形成する工程の後で、且つ前記切断する工程の前において、
前記外部電極の形成面に前記外部電極が含まれるまで感光性樹脂を塗布し成膜する工程と、

前記感光性樹脂に対して前記外部電極が露出するまで等方性のエッチングを行う工程と、を有する半導体装置の製造方法。

11. 請求項 1 記載の半導体装置の製造方法において、

前記外部電極を形成する工程の後で、且つ前記切断する工程の前において、
前記外部電極の形成面に前記外部電極が含まれるまで有機膜を塗布し成膜する工程を有する半導体装置の製造方法。

12. 請求項 11 記載の半導体装置の製造方法において、

前記有機膜には、加熱されると化学反応により残渣が熱可塑性高分子樹脂に変化するフラックスが用いられる半導体装置の製造方法。

13. 請求項 1 記載の半導体装置の製造方法において、

前記配線は、前記応力緩和層上において屈曲されてなる半導体装置の製造方法。

14. 請求項 1 記載の半導体装置の製造方法において、

前記配線と前記電極との接続部において、前記配線の幅は前記電極の幅よりも大きい半導体装置の製造方法。

15. 請求項 1 記載の半導体装置の製造方法において、

前記応力緩和層を形成し、かつ、前記応力緩和層の上に前記配線を形成してから、前記配線の上に無電解メッキでハンダ部を形成し、前記ハンダ部を前記外部電極に成形加工する半導体装置の製造方法。

16. 請求項1記載の半導体装置の製造方法において、

前記応力緩和層を形成して、該応力緩和層の上に導電層を形成する工程と、

前記導電層の上に電気メッキでハンダ部を形成する工程と、

前記導電層を前記配線に加工する工程と、

前記ハンダ部を前記外部電極に成形加工する工程と、

を含む半導体装置の製造方法。

17. 請求項15又は請求項16に記載の半導体装置の製造方法において、

前記外部電極を避ける領域において、前記配線の上に保護膜を形成する工程を含む半導体装置の製造方法。

18. 請求項15又は請求項16に記載の半導体装置の製造方法において、

前記ハンダ部は、前記配線上に先に形成された台座の上に形成される半導体装置の製造方法。

19. 請求項15又は請求項16に記載の半導体装置の製造方法において、

前記ハンダ部は、メッキ処理によるハンダ膜の上に形成される半導体装置の製造方法。

20. 請求項1記載の半導体装置の製造方法において、

前記配線を形成する工程の後において、前記配線の上に保護膜を形成する工程と、

前記外部電極を形成する工程の前において、前記保護膜の前記外部電極に対応する少なくとも一部の領域に開口部を形成する工程と、を更に有し、

前記外部電極を形成する工程では、前記開口部にハンダクリームを印刷し且つウェットバックさせることにより前記外部電極を形成する半導体装置の製造方法。

21. 請求項1記載の半導体装置の製造方法において、

前記配線を形成する工程の後において、前記配線の上に保護膜を形成する工程と、

前記外部電極を形成する工程の前において、前記保護膜の前記外部電極に対応する少なくとも一部の領域に開口部を形成する工程と、を更に有し、

前記外部電極を形成する工程では、前記開口部内にフラックスを塗布した後に前記各々の開口部に個片のハンダを搭載させることにより前記外部電極を形成する半導体装置の製造方法。

22. 請求項20又は請求項21記載の半導体装置の製造方法において、

前記保護膜は感光性樹脂からなり、前記開口部は、露光及び現像処理の工程を含んで形成される半導体装置の製造方法。

23. 請求項1から請求項16のいずれかに記載の半導体装置の製造方法において、

前記ウエーハを個々の個片に切断する前に、前記ウエーハの前記電極を有する面とは反対側面に保護部材を配設する工程を含む半導体装置の製造方法。

24. ウエーハの一方の面に複数のバンプを形成する工程と、

前記面において、前記バンプが含まれるまで樹脂を塗布する工程と、

前記樹脂の表面に対して等方性のドライエッチングを行う工程と、

前記ウエーハを個々の個片に切断する工程と、

を含み、

前記ドライエッチングの工程は、前記バンプが露出し前記面が露出する前に終了する半導体装置の製造方法。

25. 基板状に複数の電子素子を一体的に形成する工程と、

前記基板状の電子素子の少なくとも外部電極の形成される領域に応力緩和層を設ける工程と、

前記応力緩和層の上に前記外部電極を形成する工程と、

前記基板状の電子素子を個々の個片に切断する工程と、

を有する電子部品の製造方法。

26. 電子素子の回路基板への実装面に複数のバンプを形成する工程と、

前記実装面において、前記バンプが含まれるまで樹脂を塗布する工程と、

前記樹脂の表面に対して等方性のドライエッチングを行う工程と、

を含み、

前記ドライエッチングの工程は、前記バンプが露出し前記実装面が露出する前に終了する電子部品の製造方法。

27. 請求項26記載の電子部品の製造方法において、
前記電子素子は半導体素子である電子部品の製造方法。

28. 電子素子板の一方の面に複数のバンプを形成する工程と、
前記面において、前記バンプが含まれるまで樹脂を塗布する工程と、
前記樹脂の表面に対して等方性のドライエッチングを行う工程と、
前記電子素子板を個々の個片に切断する工程と、
を含み、

前記ドライエッチングの工程は、前記バンプが露出し前記実装面が露出する前に終了する電子部品の製造方法。

29. 請求項25記載の方法によって製造される電子部品であって、前記応力緩和層の上に前記外部電極を有する電子部品。

30. 請求項27又は請求項28記載の方法により製造された電子部品であって、

実装面に形成される複数のバンプと、前記バンプの少なくとも上端部を避けて前記実装面を覆う樹脂と、を有する電子部品。

31. 電極を有する半導体チップと、

前記半導体チップの上において前記電極の少なくとも一部を避けるように設けられる応力緩和層と、

前記電極から前記応力緩和層の上にかけて形成される配線と、

前記応力緩和層の上方で前記配線に形成される外部電極と、

を有する半導体装置。

32. 請求項31記載の半導体装置において、

前記配線は、アルミニウム、アルミニウム合金、クローム、銅又は金の二層、銅及び金の二層、クローム及び銅の二層、クローム及び金の二層、白金及び金の二層、並びにクローム、銅及び金の三層のうちいずれかで形成される半導体装置。

33. 請求項31記載の半導体装置において、

前記配線は、前記応力緩和層の上に形成されるクローム層と、銅及び金のうち少なくともいずれか一方の層と、で形成される半導体装置。

34. 請求項31記載の半導体装置において、

前記配線は、チタン層を含む半導体装置。

35. 請求項34記載の半導体装置において、

前記配線は、前記チタン層の上に形成されるニッケルの一層又は白金及び金の二層のうちいずれか一方を含む半導体装置。

36. 請求項31記載の半導体装置において、

前記半導体チップの前記電極を有する面とは反対側面に、保護膜を有する半導体装置。

37. 請求項36記載の半導体装置において、

前記保護膜は、前記ウエーハに用いられる材料とは異なる材料で、且つハンダの熔融温度以上の融点を有する材料からなる半導体装置。

38. 請求項31記載の半導体装置において、

前記半導体チップの前記電極を有する面とは反対側面に、放熱器を有する半導体装置。

39. 請求項24記載の方法により製造された半導体装置であって、

実装面に形成される複数のバンプと、前記バンプの少なくとも上端部を避けて前記実装面を覆う樹脂と、を有する半導体装置。

40. 電子素子に形成された複数のバンプを有する実装面において、前記バンプが含まれるまでフラックスを塗布する工程と、

回路基板の配線路上に、前記フラックスを介して前記バンプを載置してから行われるリフロー工程と、

を含む電子部品の実装方法。

41. 請求項40記載の電子部品の実装方法において、

前記電子素子は、半導体素子である電子部品の実装方法。

42. 請求項31から請求項38のいずれかに記載の半導体装置が実装された

回路基板。

43. 請求項39記載の半導体装置が実装された回路基板であって、

実装面に形成される複数のバンプと、前記バンプの少なくとも上端部を避けて前記実装面を覆う樹脂と、を有する半導体装置が実装された回路基板。

44. 請求項42記載の回路基板を有する電子機器。

45. 請求項44記載の電子機器であって、

実装面に形成される複数のバンプと、前記バンプの少なくとも上端部を避けて前記実装面を覆う樹脂と、を有する半導体装置が実装された回路基板を有する電子機器。

[1998年4月27日(27.04.98)国際事務局受理:出願当初の請求の範囲14は取り下げられた;出願当初の請求の範囲1及び31は補正された;他の請求の範囲は変更なし。(7頁)]

1. (補正後)電極の形成されたウエーハを用意する工程と、

前記電極の少なくとも一部を避けた状態となるように前記ウエーハに応力緩和層を設ける工程と、

前記電極から前記応力緩和層の上にかけて配線を形成する工程と、

前記応力緩和層の上方で前記配線に接続される外部電極を形成する工程と、

前記ウエーハを個々の個片に切断する工程と、

を有し、

前記配線と前記電極との接続部において、前記配線の幅は前記電極の幅よりも大きい半導体装置の製造方法。

2. 請求項1記載の半導体装置の製造方法において、

前記応力緩和層として、ヤング率が 1×10^{10} Pa以下の樹脂が用いられる半導体装置の製造方法。

3. 請求項1記載の半導体装置の製造方法において、

前記応力緩和層を設ける工程では、前記電極を含むように前記ウエーハに感光性樹脂を塗布し、前記感光性樹脂の前記電極に対応する領域を除去することにより前記応力緩和層を設ける半導体装置の製造方法。

4. 請求項1記載の半導体装置の製造方法において、

前記応力緩和層は、該応力緩和層を構成する樹脂を印刷することで設けられる半導体装置の製造方法。

5. 請求項3記載の半導体装置の製造方法において、

前記感光性樹脂はポリイミド系、シリコン系、エポキシ系のうちのいずれかを用いることを特徴とする半導体装置の製造方法。

6. 請求項1記載の半導体装置の製造方法において、

前記応力緩和層は、前記電極に対応する穴が形成されたプレートを、前記ウエーハに接着して設けられ、

前記プレートは、前記半導体チップと該半導体チップが実装される基板との間
補正された用紙(条約第19条)

の熱膨張係数を有する半導体装置の製造方法。

7. 請求項 1 記載の半導体装置の製造方法において、

前記応力緩和層は、プレート状の樹脂からなり、前記プレート状の樹脂を前記ウエーハに接着して設けられることを特徴とする半導体装置の製造方法。

8. 請求項 1 記載の半導体装置の製造方法において、

前記ウエーハを用意する工程にて用いられるウエーハは、前記電極及び前記切断する工程にて切断される領域を除く領域に絶縁膜が形成されてなる半導体装置の製造方法。

9. 請求項 2 記載の半導体装置の製造方法において、

前記配線を形成する工程の前に、前記応力緩和層の表面を荒らす工程を有する半導体装置の製造方法。

10. 請求項 1 記載の半導体装置の製造方法において、

前記外部電極を形成する工程の後で、且つ前記切断する工程の前において、
前記外部電極の形成面に前記外部電極が含まれるまで感光性樹脂を塗布し成膜する工程と、

前記感光性樹脂に対して前記外部電極が露出するまで等方性のエッチングを行う工程と、を有する半導体装置の製造方法。

11. 請求項 1 記載の半導体装置の製造方法において、

前記外部電極を形成する工程の後で、且つ前記切断する工程の前において、
前記外部電極の形成面に前記外部電極が含まれるまで有機膜を塗布し成膜する工程を有する半導体装置の製造方法。

12. 請求項 11 記載の半導体装置の製造方法において、

前記有機膜には、加熱されると化学反応により残渣が熱可塑性高分子樹脂に変化するフラックスが用いられる半導体装置の製造方法。

13. 請求項 1 記載の半導体装置の製造方法において、

前記配線は、前記応力緩和層上において屈曲されてなる半導体装置の製造方法。

14. (削除)

15. 請求項 1 記載の半導体装置の製造方法において、

前記応力緩和層を形成し、かつ、前記応力緩和層の上に前記配線を形成してから、前記配線の上に無電解メッキでハンダ部を形成し、前記ハンダ部を前記外部電極に成形加工する半導体装置の製造方法。

16. 請求項1記載の半導体装置の製造方法において、
前記応力緩和層を形成して、該応力緩和層の上に導電層を形成する工程と、
前記導電層の上に電気メッキでハンダ部を形成する工程と、
前記導電層を前記配線に加工する工程と、
前記ハンダ部を前記外部電極に成形加工する工程と、
を含む半導体装置の製造方法。
17. 請求項15又は請求項16に記載の半導体装置の製造方法において、
前記外部電極を避ける領域において、前記配線の上に保護膜を形成する工程を含む半導体装置の製造方法。
18. 請求項15又は請求項16に記載の半導体装置の製造方法において、
前記ハンダ部は、前記配線上に先に形成された台座の上に形成される半導体装置の製造方法。
19. 請求項15又は請求項16に記載の半導体装置の製造方法において、
前記ハンダ部は、メッキ処理によるハンダ膜の上に形成される半導体装置の製造方法。
20. 請求項1記載の半導体装置の製造方法において、
前記配線を形成する工程の後において、前記配線の上に保護膜を形成する工程と、
前記外部電極を形成する工程の前において、前記保護膜の前記外部電極に対応する少なくとも一部の領域に開口部を形成する工程と、を更に有し、
前記外部電極を形成する工程では、前記開口部にハンダクリームを印刷し且つウェットバックさせることにより前記外部電極を形成する半導体装置の製造方法。
21. 請求項1記載の半導体装置の製造方法において、
前記配線を形成する工程の後において、前記配線の上に保護膜を形成する工程と、

前記外部電極を形成する工程の前において、前記保護膜の前記外部電極に対応する少なくとも一部の領域に開口部を形成する工程と、を更に有し、

前記外部電極を形成する工程では、前記開口部内にフラックスを塗布した後に前記各々の開口部に個片のハンダを搭載させることにより前記外部電極を形成する半導体装置の製造方法。

22. 請求項20又は請求項21記載の半導体装置の製造方法において、

前記保護膜は感光性樹脂からなり、前記開口部は、露光及び現像処理の工程を含んで形成される半導体装置の製造方法。

23. 請求項1から請求項16のいずれかに記載の半導体装置の製造方法において、

前記ウエーハを個々の個片に切断する前に、前記ウエーハの前記電極を有する面とは反対側面に保護部材を配設する工程を含む半導体装置の製造方法。

24. ウエーハの一方の面に複数のバンプを形成する工程と、

前記面において、前記バンプが含まれるまで樹脂を塗布する工程と、

前記樹脂の表面に対して等方性のドライエッチングを行う工程と、

前記ウエーハを個々の個片に切断する工程と、

を含み、

前記ドライエッチングの工程は、前記バンプが露出し前記面が露出する前に終了する半導体装置の製造方法。

25. 基板状に複数の電子素子を一体的に形成する工程と、

前記基板状の電子素子の少なくとも外部電極の形成される領域に応力緩和層を設ける工程と、

前記応力緩和層の上に前記外部電極を形成する工程と、

前記基板状の電子素子を個々の個片に切断する工程と、

を有する電子部品の製造方法。

26. 電子素子の回路基板への実装面に複数のバンプを形成する工程と、

前記実装面において、前記バンプが含まれるまで樹脂を塗布する工程と、

前記樹脂の表面に対して等方性のドライエッチングを行う工程と、

を含み、

前記ドライエッチングの工程は、前記バンプが露出し前記実装面が露出する前に終了する電子部品の製造方法。

27. 請求項26記載の電子部品の製造方法において、

前記電子素子は半導体素子である電子部品の製造方法。

28. 電子素子板の一方の面に複数のバンプを形成する工程と、

前記面において、前記バンプが含まれるまで樹脂を塗布する工程と、

前記樹脂の表面に対して等方性のドライエッチングを行う工程と、

前記電子素子板を個々の個片に切断する工程と、

を含み、

前記ドライエッチングの工程は、前記バンプが露出し前記実装面が露出する前に終了する電子部品の製造方法。

29. 請求項25記載の方法によって製造される電子部品であって、前記応力緩和層の上に前記外部電極を有する電子部品。

30. 請求項27又は請求項28記載の方法により製造された電子部品であって、

実装面に形成される複数のバンプと、前記バンプの少なくとも上端部を避けて前記実装面を覆う樹脂と、を有する電子部品。

31. (補正後) 電極を有する半導体チップと、

前記半導体チップの上において前記電極の少なくとも一部を避けるように設けられる応力緩和層と、

前記電極から前記応力緩和層の上にかけて形成される配線と、

前記応力緩和層の上方で前記配線に形成される外部電極と、

を有し、

前記配線と前記電極との接続部において、前記配線の幅は前記電極の幅よりも大きい半導体装置。

32. 請求項31記載の半導体装置において、

前記配線は、アルミニウム、アルミニウム合金、クローム、銅又は金の一層、

銅及び金の二層、クローム及び銅の二層、クローム及び金の二層、白金及び金の二層、並びにクローム、銅及び金の三層のうちいずれかで形成される半導体装置。

33. 請求項31記載の半導体装置において、

前記配線は、前記応力緩和層の上に形成されるクローム層と、銅及び金のうち少なくともいずれか一方の層と、で形成される半導体装置。

34. 請求項31記載の半導体装置において、

前記配線は、チタン層を含む半導体装置。

35. 請求項34記載の半導体装置において、

前記配線は、前記チタン層の上に形成されるニッケルの一層又は白金及び金の二層のうちいずれか一方を含む半導体装置。

36. 請求項31記載の半導体装置において、

前記半導体チップの前記電極を有する面とは反対側面に、保護膜を有する半導体装置。

37. 請求項36記載の半導体装置において、

前記保護膜は、前記ウエーハに用いられる材料とは異なる材料で、且つハンダの溶融温度以上の融点を有する材料からなる半導体装置。

38. 請求項31記載の半導体装置において、

前記半導体チップの前記電極を有する面とは反対側面に、放熱器を有する半導体装置。

39. 請求項24記載の方法により製造された半導体装置であって、

実装面に形成される複数のバンプと、前記バンプの少なくとも上端部を避けて前記実装面を覆う樹脂と、を有する半導体装置。

40. 電子素子に形成された複数のバンプを有する実装面において、前記バンプが含まれるまでフラックスを塗布する工程と、

回路基板の配線上に、前記フラックスを介して前記バンプを載置してから行われるリフロー工程と、

を含む電子部品の実装方法。

41. 請求項40記載の電子部品の実装方法において、

前記電子素子は、半導体素子である電子部品の実装方法。

42. 請求項31から請求項38のいずれかに記載の半導体装置が実装された回路基板。

43. 請求項39記載の半導体装置が実装された回路基板であって、
実装面に形成される複数のバンプと、前記バンプの少なくとも上端部を避けて
前記実装面を覆う樹脂と、を有する半導体装置が実装された回路基板。

44. 請求項42記載の回路基板を有する電子機器。

45. 請求項44記載の電子機器であって、
実装面に形成される複数のバンプと、前記バンプの少なくとも上端部を避けて
前記実装面を覆う樹脂と、を有する半導体装置が実装された回路基板を有する電
子機器。

条約第 19 条 (1) に基づく説明書

請求の範囲第 1 項及び第 31 項は、「前記配線と前記電極との接続部において、前記配線の幅は前記電極の幅よりも大きい」ことを明確にした。

引用例には、配線と電極の幅について記載されていないのに対して、本発明では、配線の幅が電極の幅よりも大きいことで、配線の抵抗値を小さくすることができる。

FIG. 1A

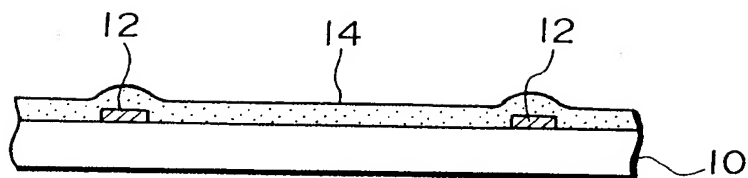


FIG. 1B

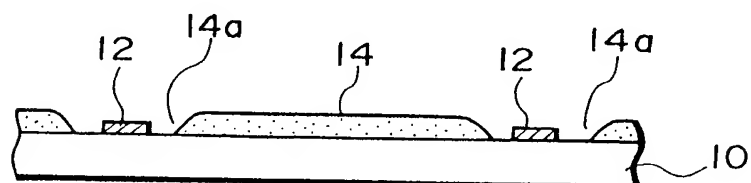


FIG. 1C

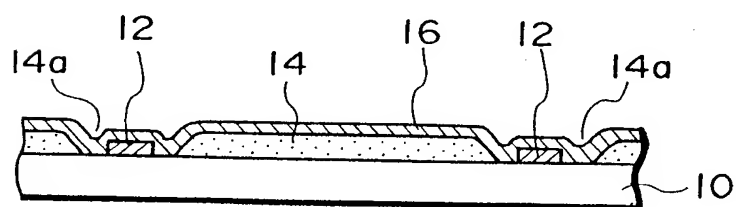


FIG. 1D

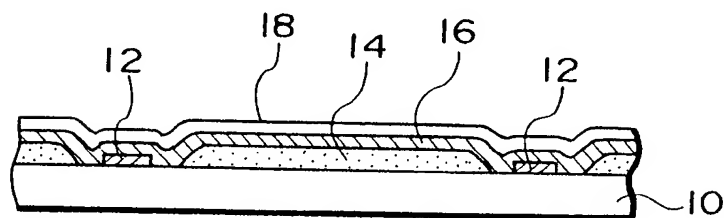


FIG. 1E

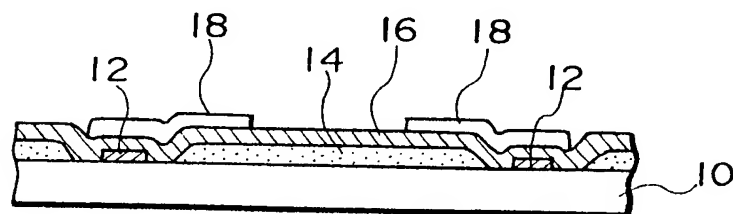


FIG. 2A

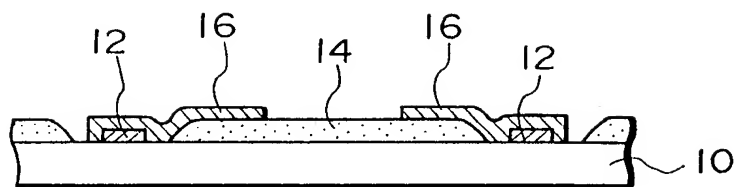


FIG. 2B

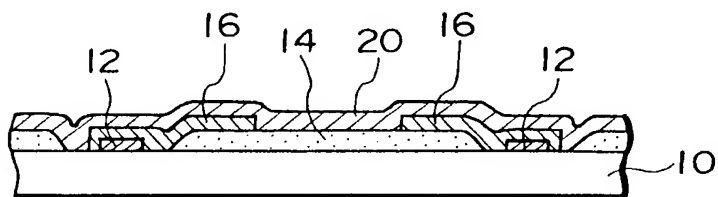


FIG. 2C

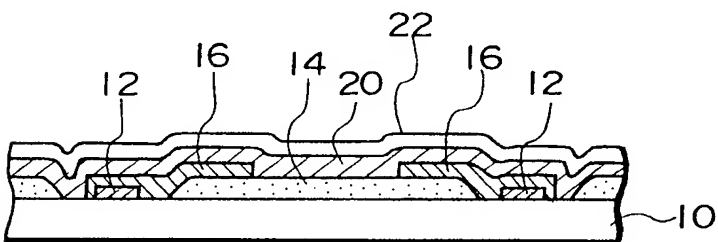


FIG. 2D

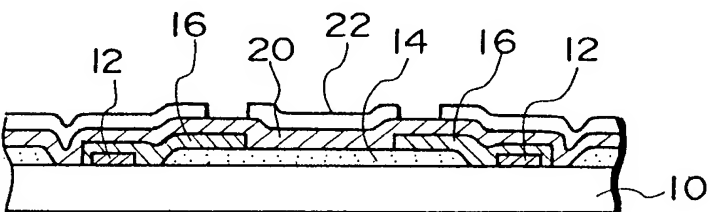


FIG. 2E

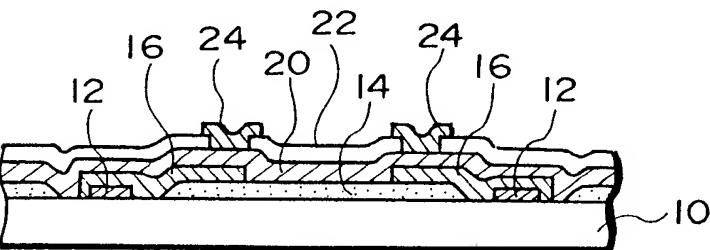


FIG.3A

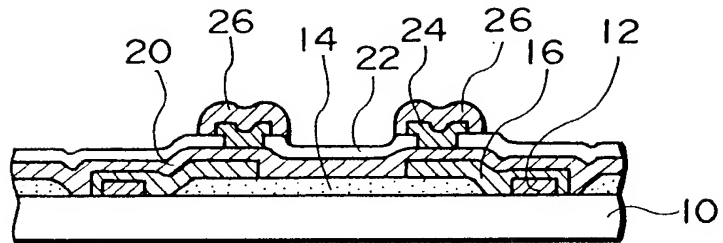


FIG.3B

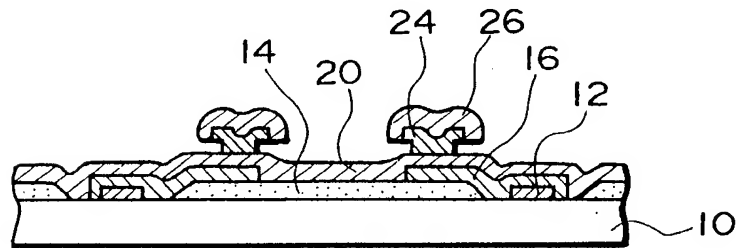


FIG.3C

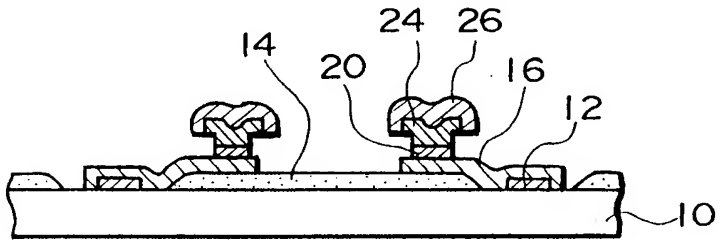


FIG.3D

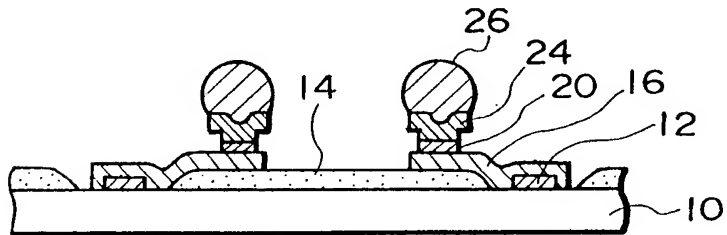


FIG. 4A

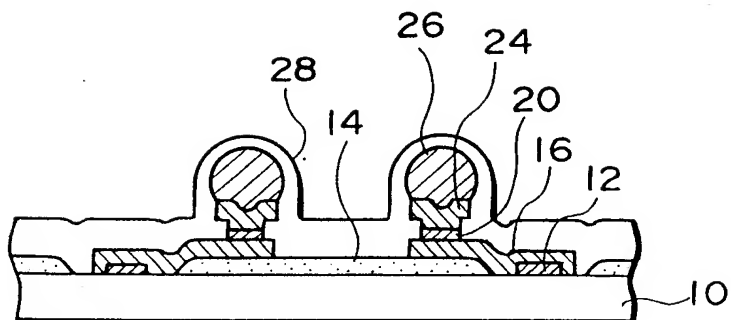


FIG. 4B

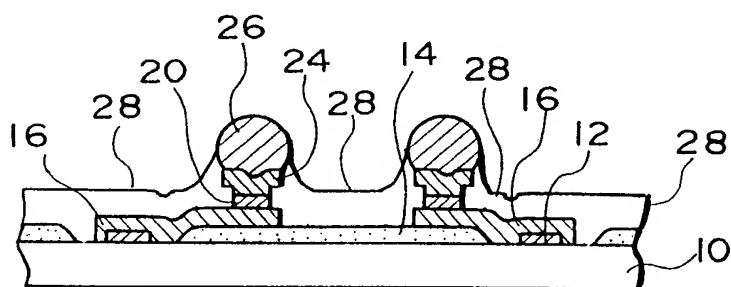


FIG. 4C

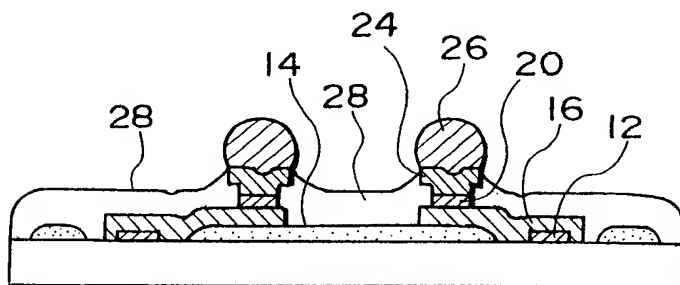


FIG. 5

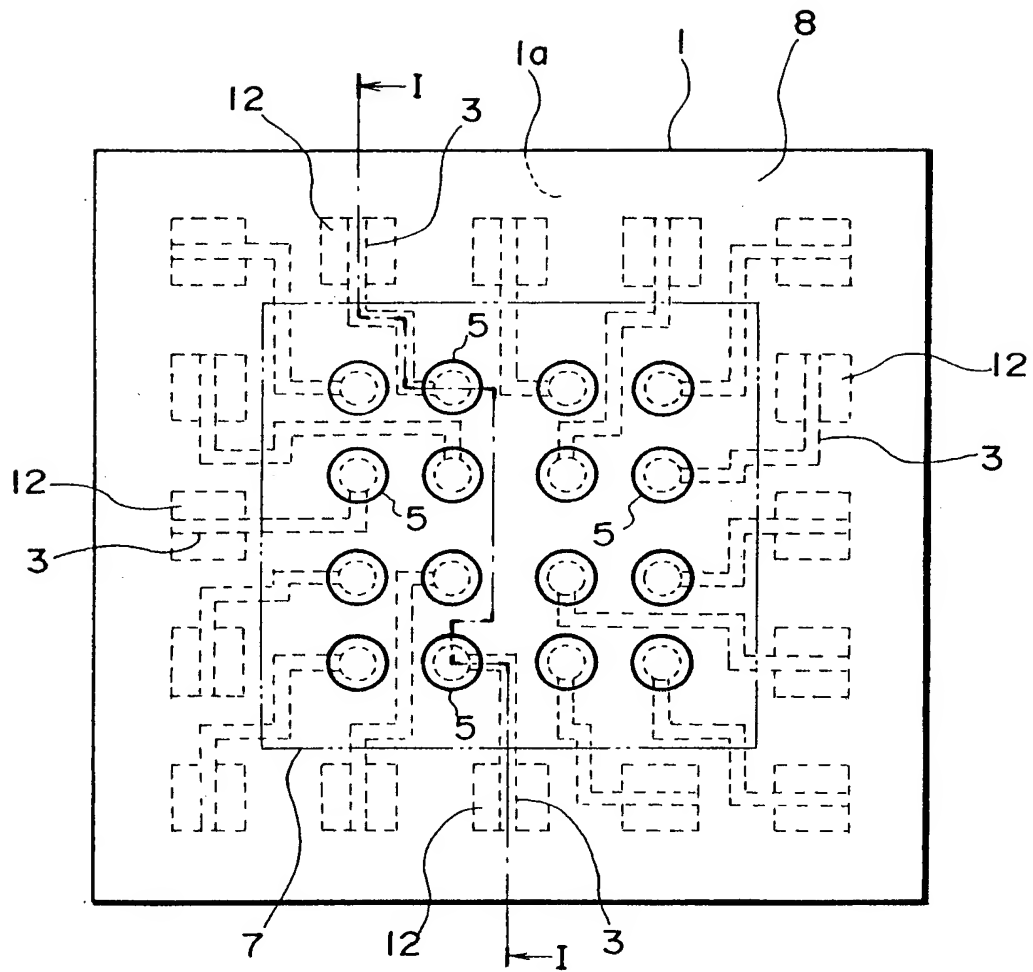


FIG. 6A

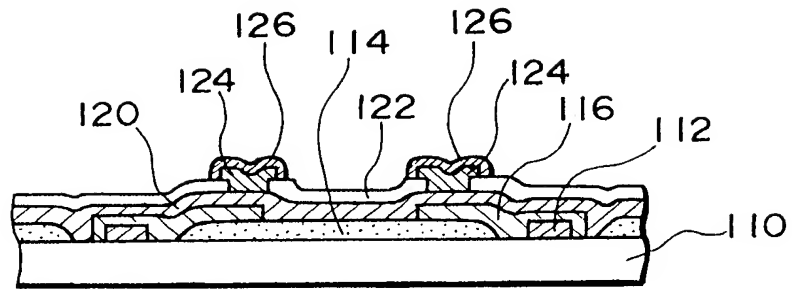


FIG. 6B

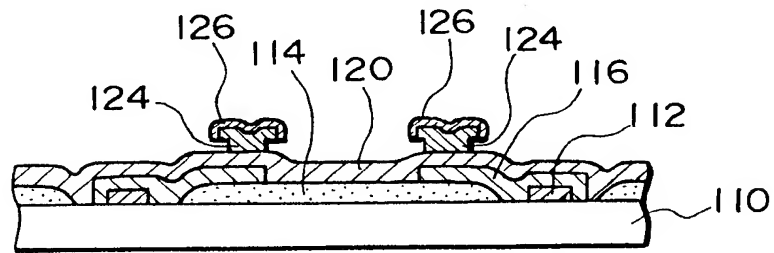
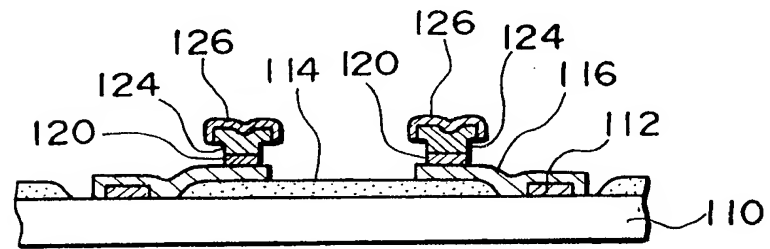


FIG. 6C



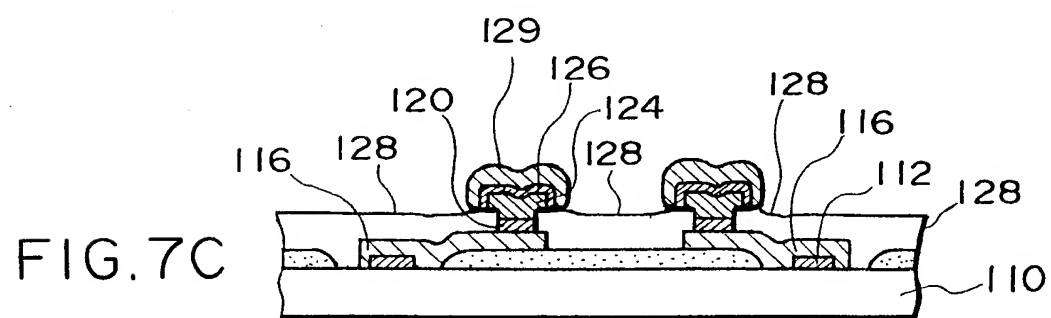
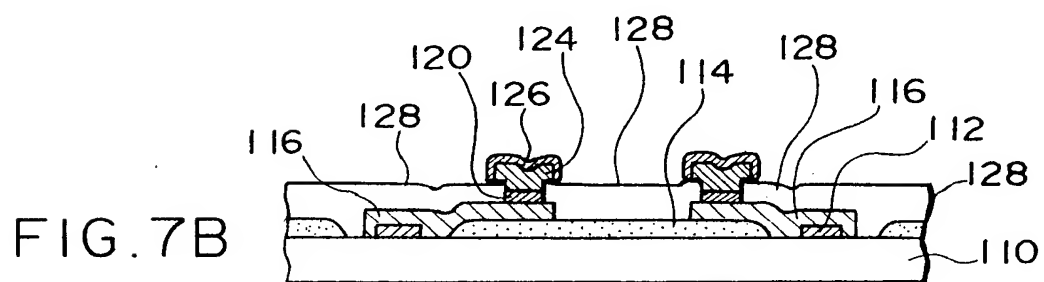
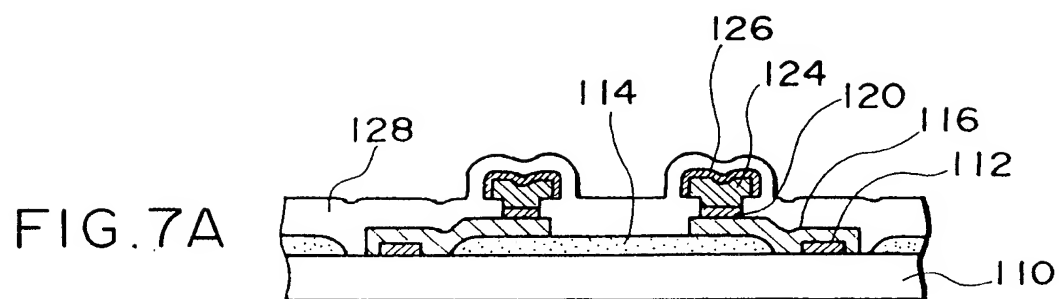


FIG. 8A

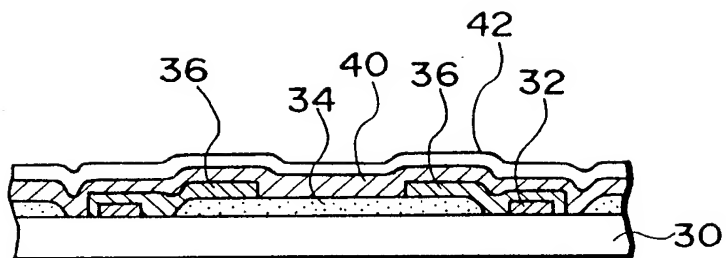


FIG. 8B

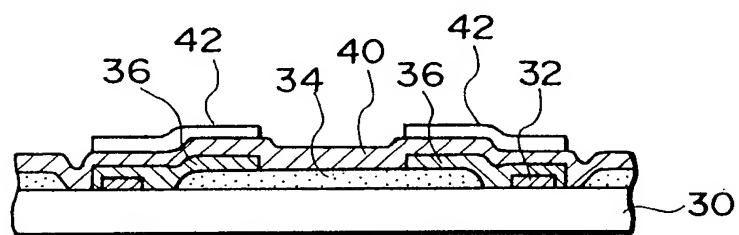


FIG. 8C

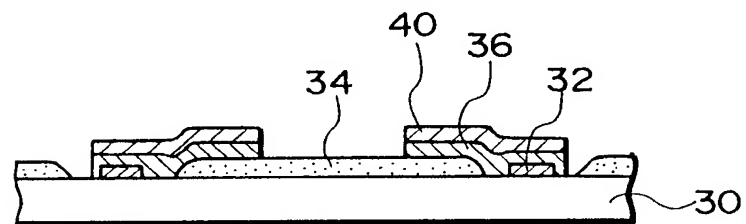


FIG. 8D

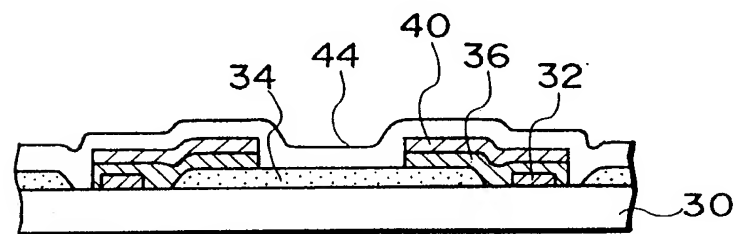


FIG. 9A

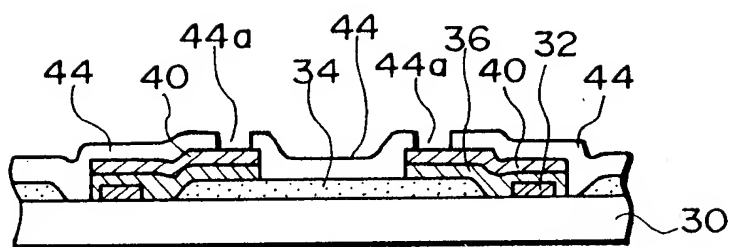


FIG. 9B

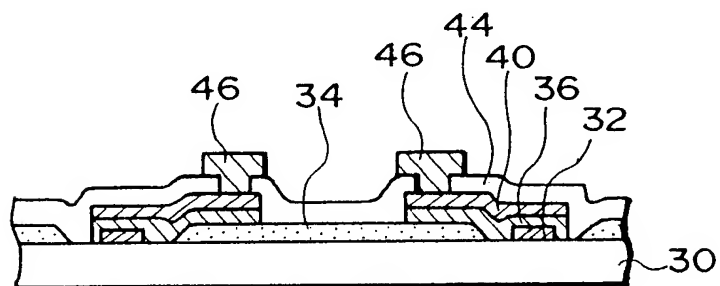


FIG. 9C

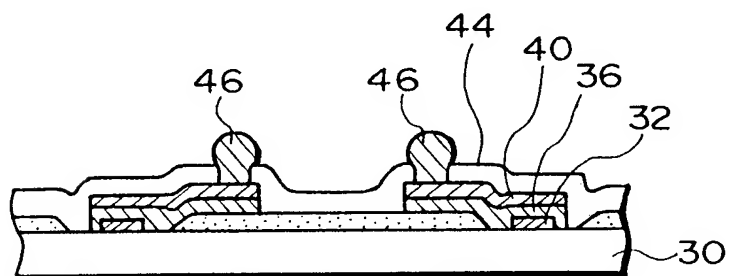
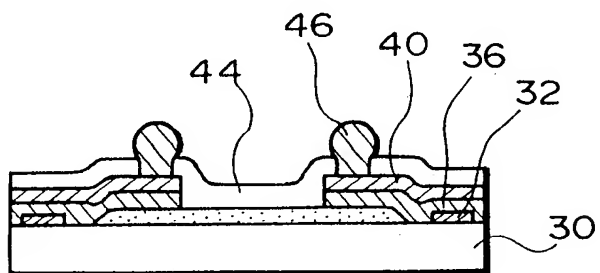


FIG. 9D



11/23

FIG. 11A

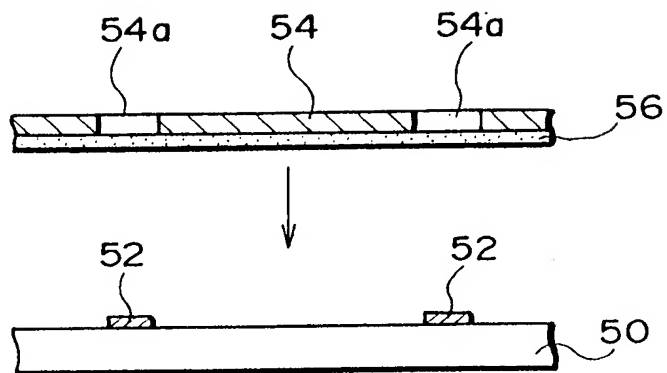


FIG. 11B

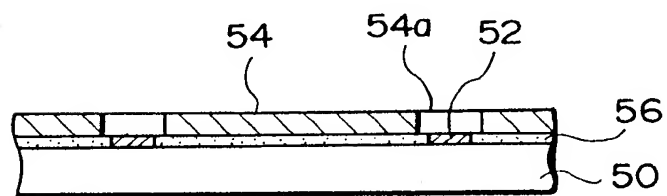


FIG. 11C

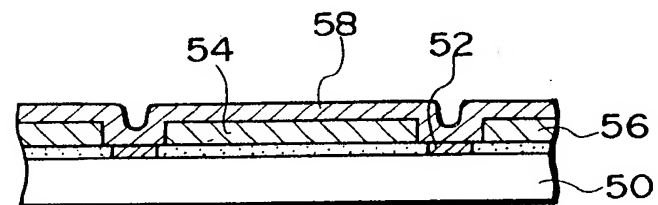


FIG. 12A

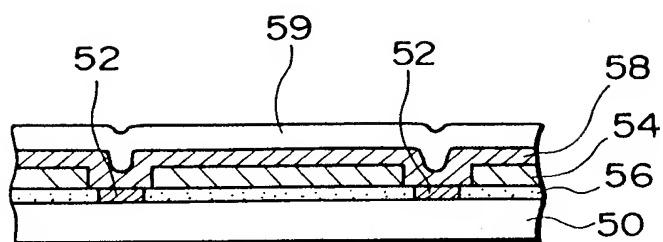


FIG. 12B

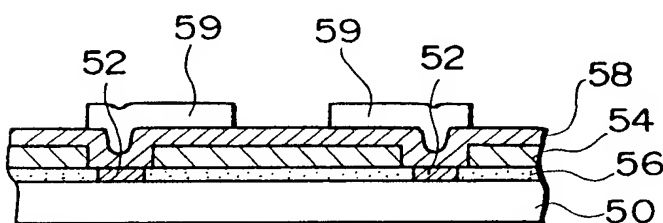
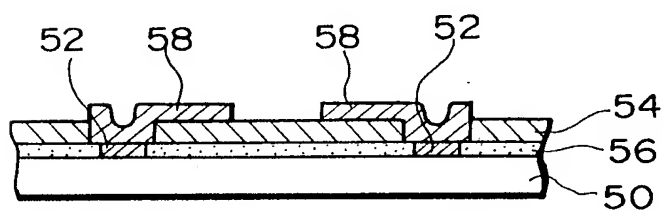


FIG. 12C



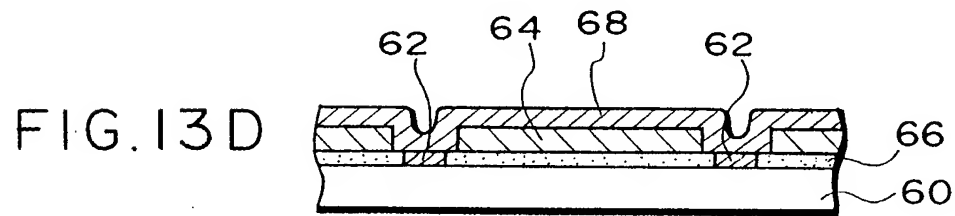
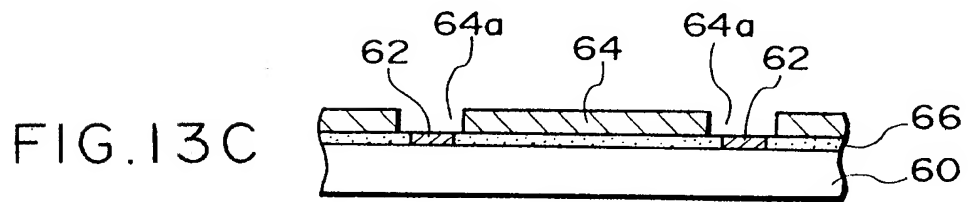
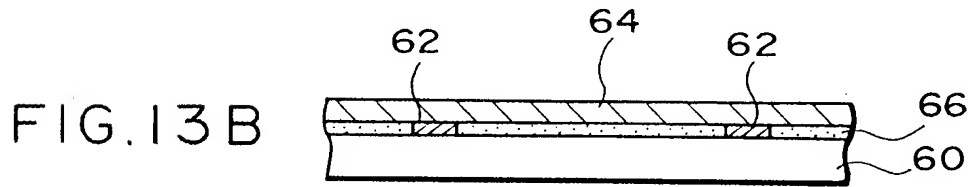
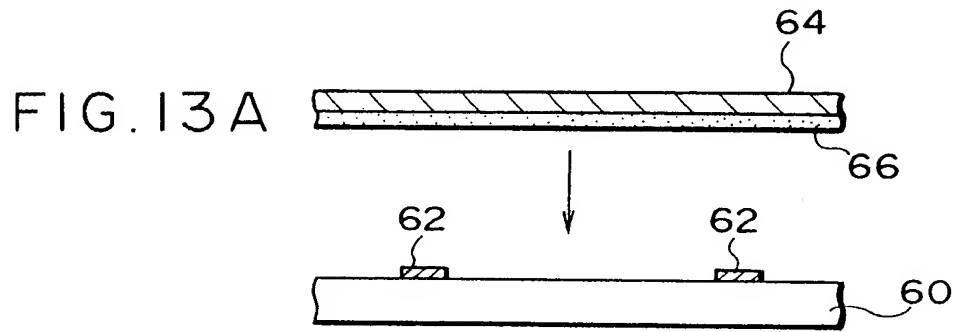


FIG. 14A

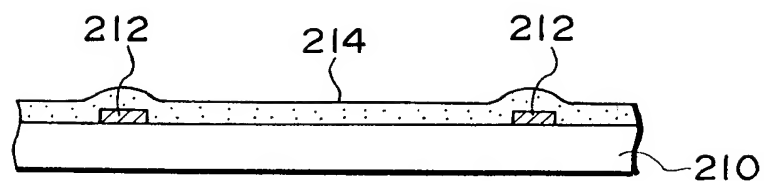


FIG. 14B

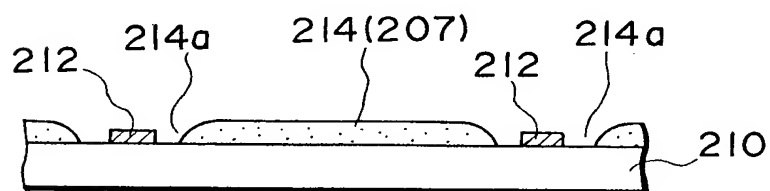


FIG. 14C

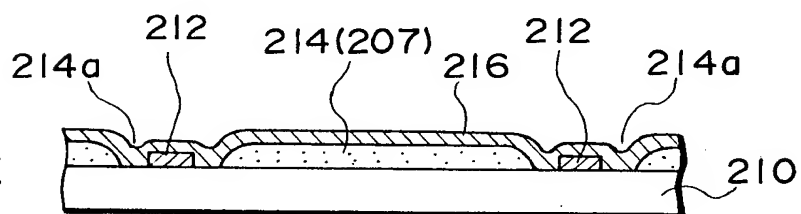


FIG. 14D

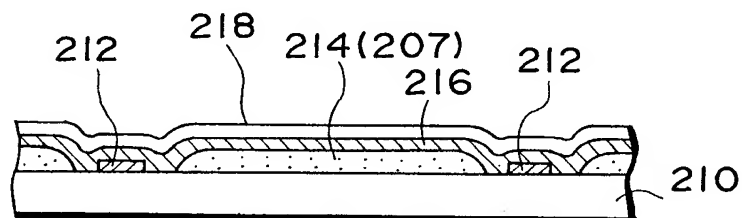
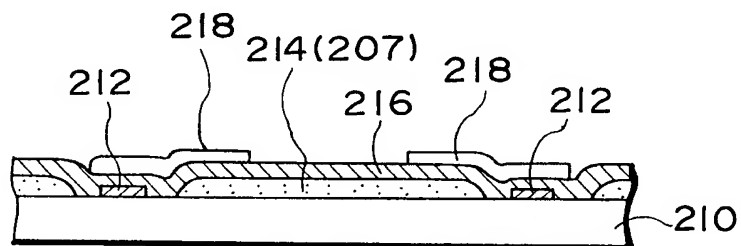


FIG. 14E



15 / 23

FIG. 15A

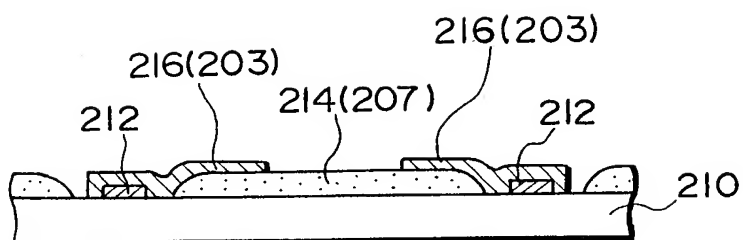


FIG. 15B

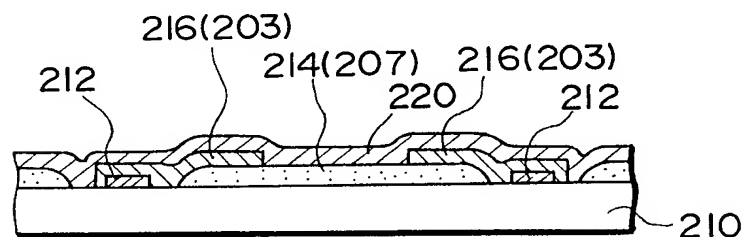


FIG. 15C

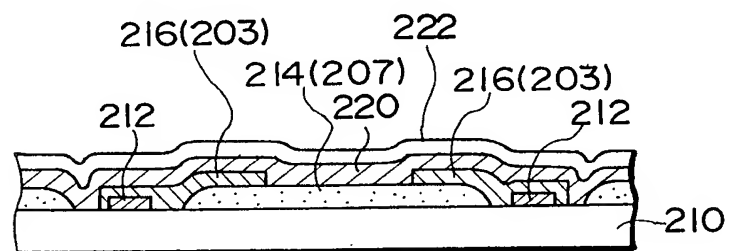


FIG. 15D

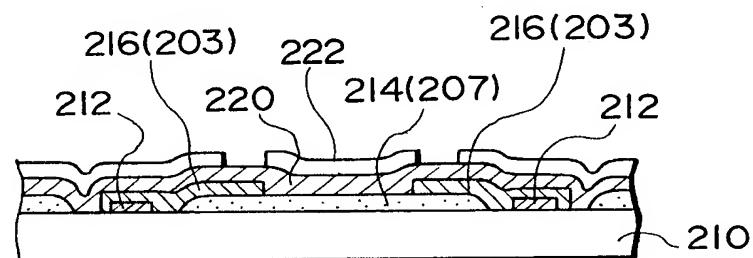
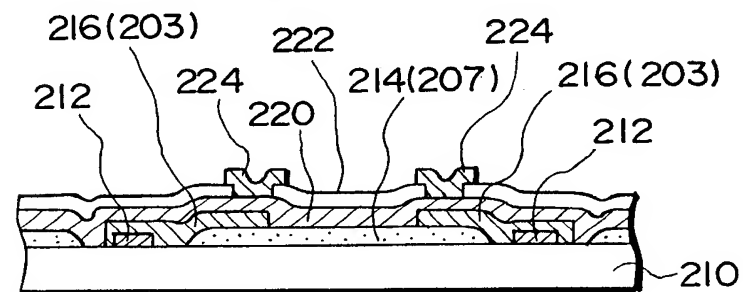


FIG. 15E



16 / 23

FIG. 16A

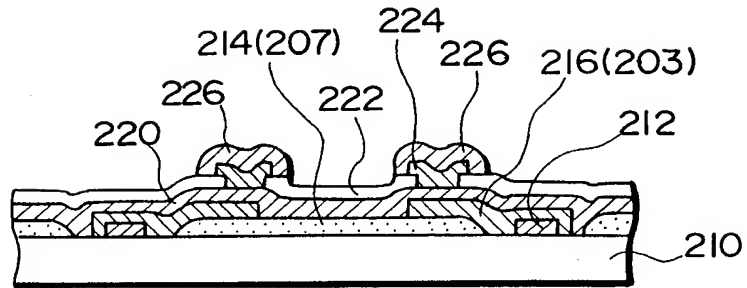


FIG. 16B

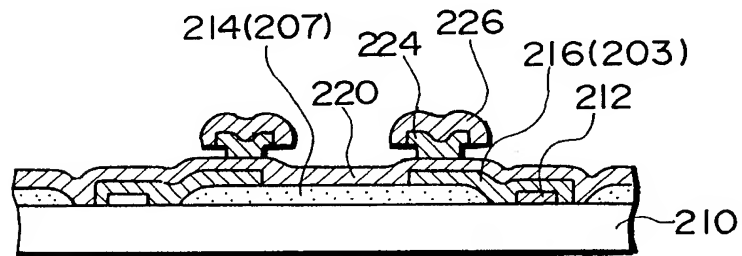


FIG. 16C

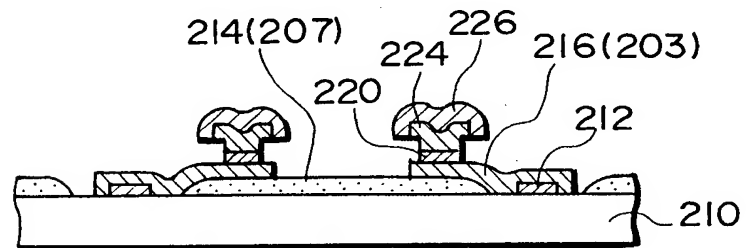
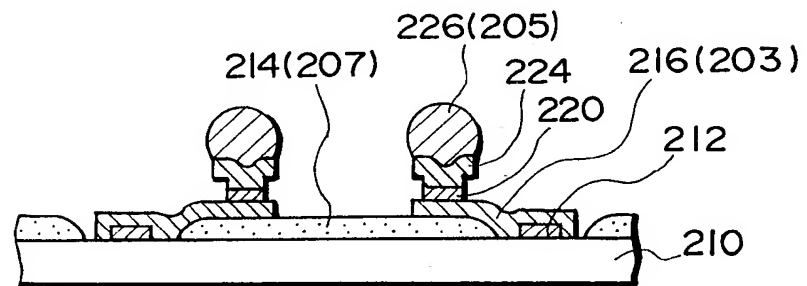


FIG. 16D



17/23

FIG.17A

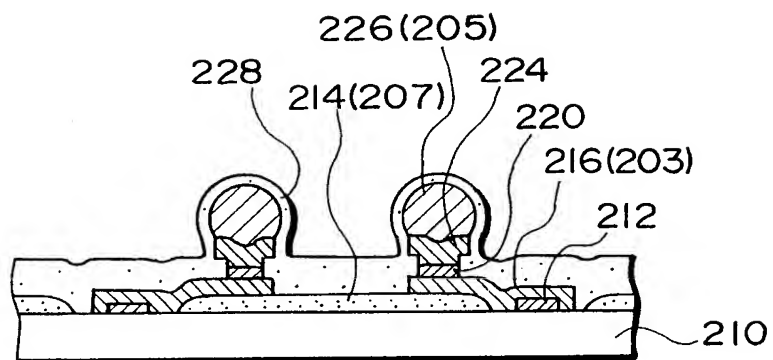


FIG.17B

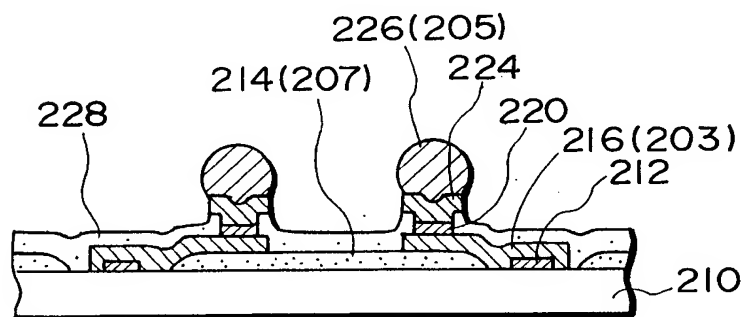


FIG.17C

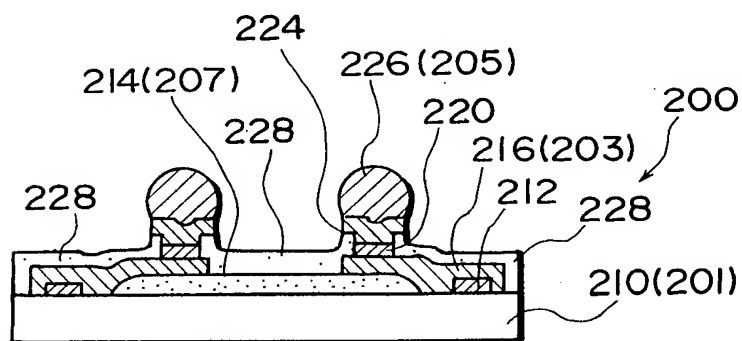
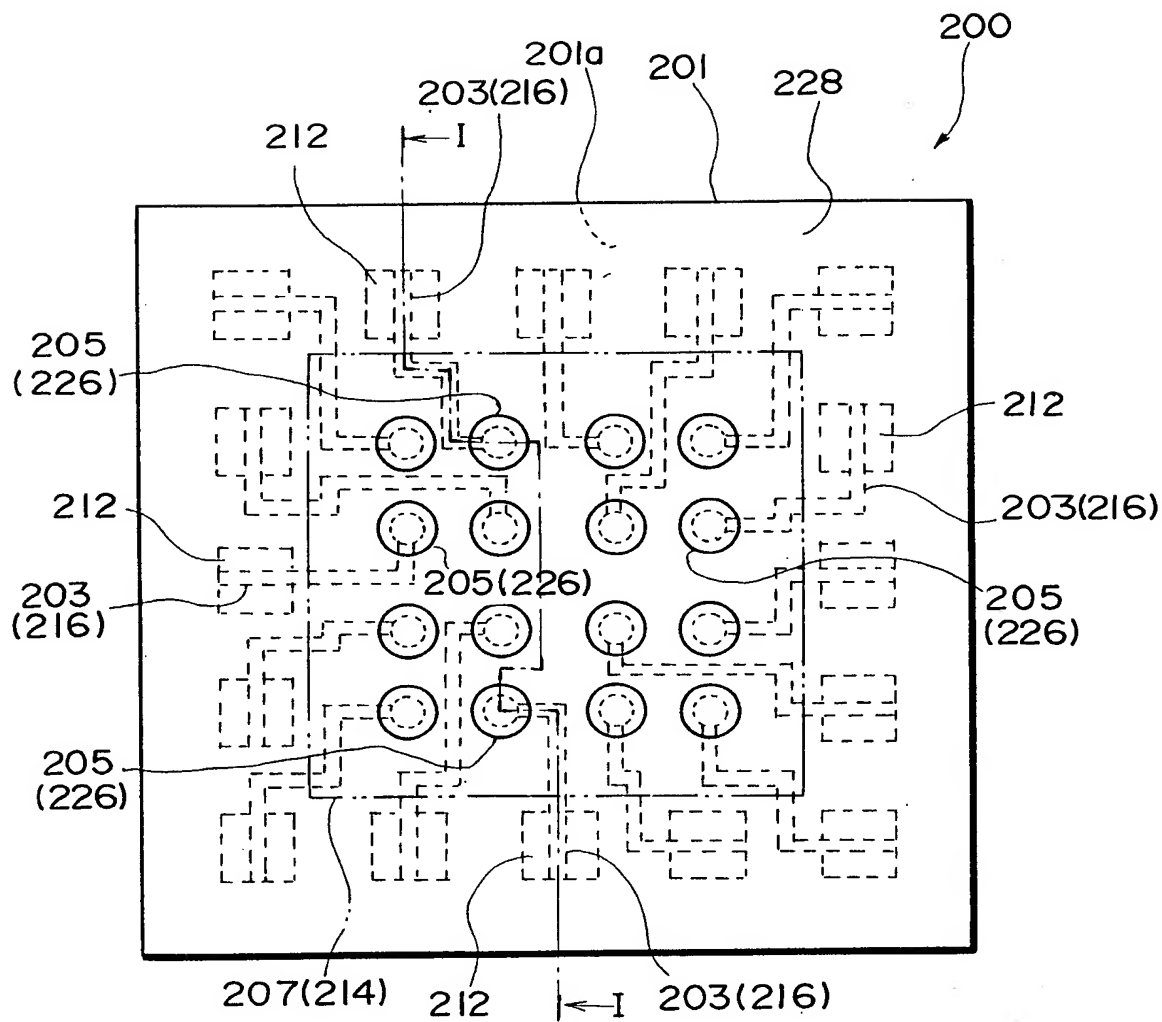


FIG. 18



19/23

FIG.19A

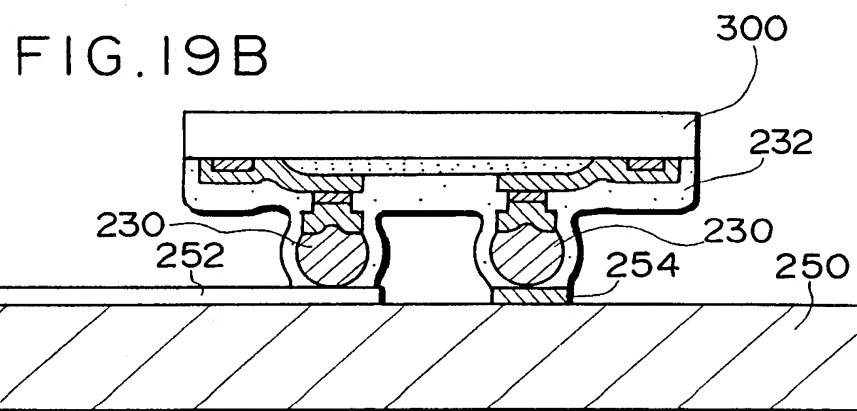
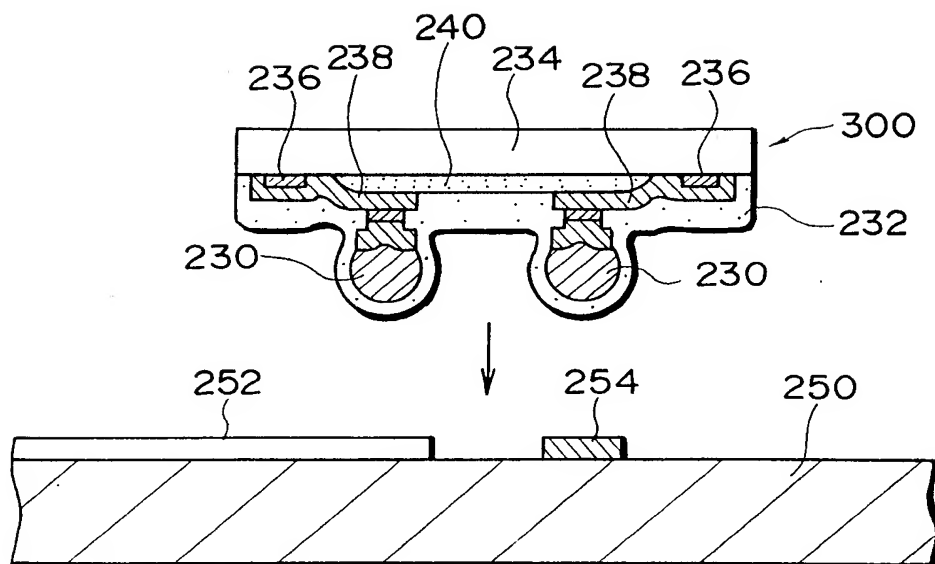


FIG. 20

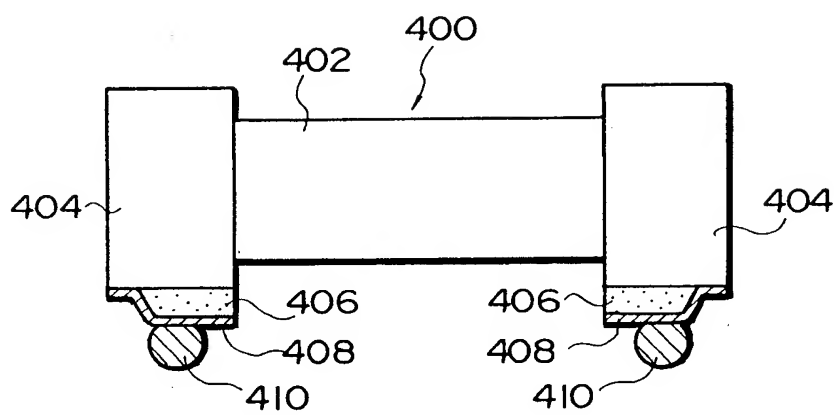


FIG. 21

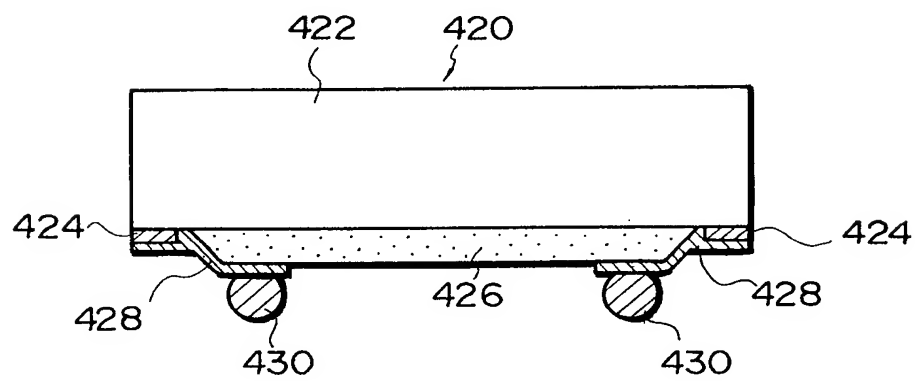


FIG. 22

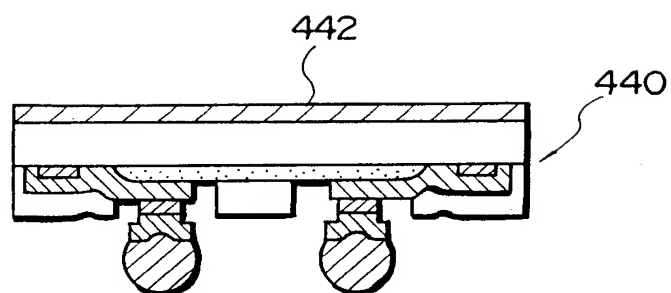


FIG. 23

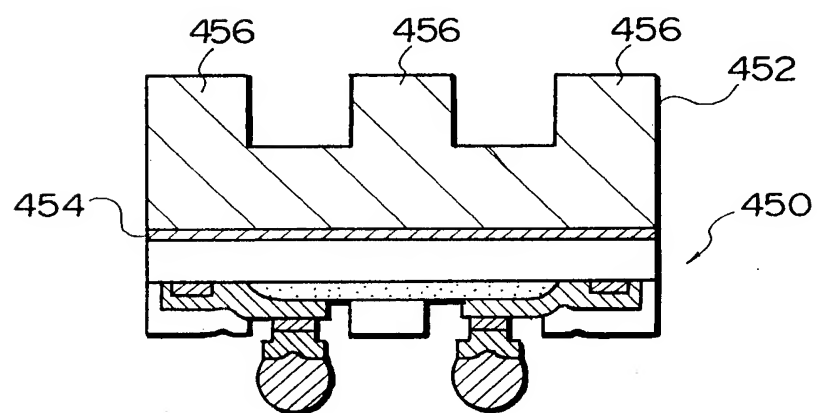


FIG.24

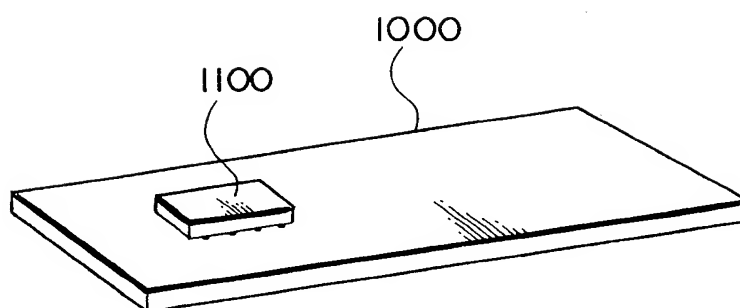
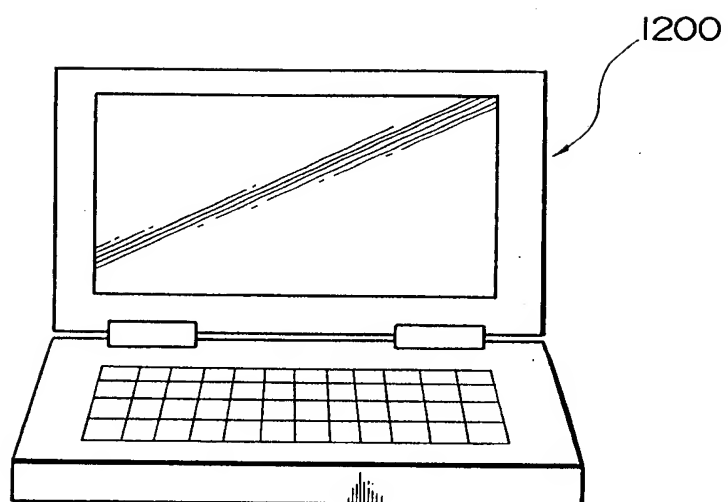


FIG. 25



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/04437

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ H01L21/3205, H01L21/60

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁶ H01L21/3205, H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1992
Kokai Jitsuyo Shinan Koho 1971-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 64-1257, A (Fujitsu Ltd., K.K. Fujitsu Tohoku Electronics), January 5, 1989 (05. 01. 89) (Family: none)	1-3, 5-7, 14
Y		4, 8-11 13, 15-23, 25, 29, 31-39, 42
Y	JP, 2-63127, A (Seiko Epson Corp.), March 2, 1990 (02. 03. 90), Page 2, upper left column, line 12 to upper right column, line 1 (Family: none)	2
Y	JP, 3-198342, A (NEC Corp.), August 29, 1991 (29. 08. 91), Fig. 1(j) (Family: none)	8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
--	---

Date of the actual completion of the international search
February 25, 1998 (25. 02. 98)

Date of mailing of the international search report
March 10, 1998 (10. 03. 98)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/04437

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 5-291262, A (Toshiba Corp., Iwate Tohoku Electronics K.K.), November 5, 1993 (05. 11. 93) (Family: none)	24, 26-28, 30
Y		10, 11, 25, 29, 31-39, 42
Y	JP, 4-10429, A (Matsushita Electronics Industry Corp.), January 14, 1992 (14. 01. 92) (Family: none)	13
X	JP, 5-226416, A (Oki Electric Industry Co., Ltd.), September 3, 1993 (03. 09. 93) (Family: none)	40, 41, 44
Y		43, 45
X	JP, 6-77283, A (Kyocera Corp.), March 18, 1994 (18. 03. 94) (Family: none)	40, 41, 44
Y		43, 45

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁸ H01L21/3205
H01L21/60

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁸ H01L21/3205
H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926~1992年
日本国公開実用新案公報 1971~1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 64-1257, A (富士通株式会社&株式会社富士通東北エレクトロニクス) 5, 1月, 1989 (05, 01, 89) (ファミリーなし)	1~3, 5~7, 14
Y		4, 8~11 13, 15~ 23, 25, 29, 31~ 39, 42

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」先行文献ではあるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

25.02.98

国際調査報告の発送日

10.03.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

土屋 知久

印

4M

8826

電話番号 03-3581-1101 内線 3464

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 2-63127, A (セイコーエプソン株式会社) 2, 3 月, 1990 (02, 03, 90) 第2頁左上欄第12行~同右上 欄第1行 (ファミリーなし)	2
Y	J P, 3-198342, A (日本電気株式会社) 29, 8月, 1 991 (29, 08, 91) 第1図 (j) (ファミリーなし)	8
X	J P, 5-291262, A (株式会社東芝&岩手東北エレクトロ ニクス株式会社) 5, 11月, 1993 (05, 11, 93) (フ ァミリーなし)	24, 26~ 28, 30
Y		10, 11, 25, 29, 31~39, 42
Y	J P, 4-10429, A (松下電子工業株式会社) 14, 1月, 1992 (14, 01, 92) (ファミリーなし)	13
X	J P, 5-226416, A (沖電気工業株式会社) 3, 9月, 1 993 (03, 09, 93) (ファミリーなし)	40, 41, 44
Y		43, 45
X	J P, 6-77283, A (京セラ株式会社) 18, 3月, 199 4 (18, 03, 94) (ファミリーなし)	40, 41, 44
Y		43, 45

PUB-NO: WO009825297A1
DOCUMENT-IDENTIFIER: WO 9825297 A1
TITLE: ELECTRONIC COMPONENT AND
SEMICONDUCTOR DEVICE,
METHOD FOR MANUFACTURING
AND MOUNTING THEREOF, AND
CIRCUIT BOARD AND ELECTRONIC
EQUIPMENT
PUBN-DATE: June 11, 1998

INVENTOR-INFORMATION:

NAME	COUNTRY
HASHIMOTO, NOBUAKI	JP

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SEIKO EPSON CORP	JP
HASHIMOTO NOBUAKI	JP

APPL-NO: JP09704437

APPL-DATE: December 4, 1997

PRIORITY-DATA: JP33904596A (December 4, 1996) ,
JP35688096A (December 26, 1996) ,
JP09144997A (March 26, 1997)

INT-CL (IPC): H01L021/3205 , H01L021/60

EUR-CL (EPC): H01L021/768 , H01L021/60 , H01L023/485

US-CL-CURRENT: 257/E21.508 , 257/E21.575 , 257/E23.021 ,
257/E23.101 , 257/E23.167

ABSTRACT:

CHG DATE=19990617 STATUS=O>A semiconductor device whose package size is nearly the same as the size of a chip, which has a stress absorbing layer, which does not require a flexible substrate, and which can be manufactured in a large number at the same time. A method for manufacturing a semiconductor device includes a process wherein electrodes (12) are formed on a wafer (10), a process wherein a resin layer (14) is formed as a stress reducing layer on the wafer (10) except for the parts where the electrodes (12) are formed, a process wherein a chrome layer (16) is formed as an interconnect on the whole surface of the wafer (10) including the electrodes (12) and the resin layer (14), a process wherein solder balls are formed as external electrodes on parts of the chrome layer (16) which are formed on the resin layer (14), and a process wherein the wafer (10) is diced to semiconductor chips. In the processes for forming the chrome layer (16) and for forming the solder balls, a metal thin film deposition technology used in the wafer process of semiconductor manufacturing is employed.